

| (51) Int.Cl. ⁷ | 識別記号 | F I | テレポート (参考) |
|-------------------------------|------------------------------|----------|---------------------------------|
| H 0 1 L | 21/3065 | H 0 1 L | 21/28 F 4 M 1 0 4 |
| | 21/28 | | J 5 F 0 0 4 |
| | 21/336 | 29/78 | 6 1 7 K 5 F 1 1 0 |
| | 29/786 | | 6 1 7 L |
| | | | 6 1 6 A |
| 審査請求 未請求 請求項の数23 O L (全 30 頁) | | | |
| (21) 出願番号 | 特願2001-141133 (P2001-141133) | (71) 出願人 | 000153878 株式会社半導体エネルギー研究所 |
| (22) 出願日 | 平成13年5月11日 (2001.5.11) | | 神奈川県厚木市長谷398番地 |
| (31) 優先権主張番号 | 特願2000-140999 (P2000-140999) | (72) 発明者 | 須沢 英臣 |
| (32) 優先日 | 平成12年5月12日 (2000.5.12) | | 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内 |
| (33) 優先権主張国 | 日本 (J P) | (72) 発明者 | 小野 幸治 |
| (31) 優先権主張番号 | 特願2000-193614 (P2000-193614) | | 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内 |
| (32) 優先日 | 平成12年6月27日 (2000.6.27) | (72) 発明者 | 高山 徹 |
| (33) 優先権主張国 | 日本 (J P) | | 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内 |

最終頁に続く

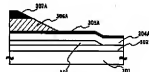
(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

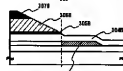
【課題】 アクティブマトリクス型の表示装置に代表される半導体装置を作成する上で、フォトリソグラフィを伴うレジスタマスクのパターニングはその工程数の増加、工程時間の延長などを引き起こし、コスト増加の要因の一つとなっていた。

【解決手段】 半導体層 303 に不純物領域を形成する方法として、2層に形成されたゲート電極のうち第2の導電膜 306 をマスクとして自己整合的に半導体層 303 に不純物元素をドーピングする。このとき、第1の導電膜 305 及び絶縁膜 304 を通り抜けて半導体層に不純物元素のドーピングを行うことで半導体層 313 には G O L D 構造の L D D 領域が形成される。

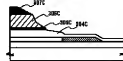
(A) 第1のドライエッチング



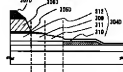
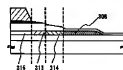
(B) 第2のドライエッチング



(C) 第3のドライエッチング



(D) 第4のドライエッチング

(E) レジストマスク
ドーピング

【特許請求の範囲】

【請求項1】半導体層を形成する第1の工程と、

前記半導体層上にゲート絶縁膜を形成する第2の工程と、

前記ゲート絶縁膜上に第1の導電膜を形成する第3の工程と、

前記第1の導電膜上に第2の導電膜を形成する第4の工程と、

前記第2の導電膜及び前記第1の導電膜に対してドライエッチングを1回または複数回行い第1の形状のゲート電極を形成する第5の工程と、

前記半導体層上に第1の不純物領域を形成する第6の工程と、

前記第1の形状のゲート電極に対してドライエッチングを行い第2の形状のゲート電極を形成する第7の工程と、前記第2の形状のゲート電極を構成する第2の導電膜に対して選択的にドライエッチングを行い第3の形状のゲート電極を形成する第8の工程と、前記半導体層上に第2の不純物領域を形成する第9の工程と、を含むことを特徴とする半導体装置の作製方法。

【請求項2】請求項1において、前記第1の導電膜及び前記第2の導電膜は、タングステン、タンタル、チタン、モリブデンから選ばれた高融点金属を主成分とする材質、またはこれら金属を含む合金、またはこれら金属を主成分とする窒化物、から選ばれた材質であることを特徴とする半導体装置の作製方法。

【請求項3】請求項1または請求項2において、前記第5の工程におけるドライエッチングでは、塩素系ガス及びフッ素系ガス、若しくは塩素系ガス及びフッ素系ガス及び O_2 を用いて第1の形状のゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項4】請求項1乃至3のいずれか一において、前記第7の工程におけるドライエッチングでは、塩素系ガス及びフッ素系ガスを用いて第2の形状のゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項5】請求項1乃至4のいずれか一において、前記第8の工程におけるドライエッチングでは、塩素系ガス及びフッ素系ガス及び O_2 を用いて第3の形状のゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項6】請求項1乃至5のいずれか一に記載の前記第9の工程は、前記第2の形状のゲート電極を構成する前記第1の導電膜及び前記ゲート絶縁膜を通過するように不純物元素をドーピングすることで前記半導体層に前記第2の不純物領域を形成することを特徴とする半導体装置の作製方法。

【請求項7】請求項1乃至6のいずれか一項に記載の第9の工程は、前記第3の形状のゲート電極の外側に位置する半導体層及び第3の形状のゲート電極と重なる半導体層に同時に不純物領域を形成することを特徴とする半

導体装置の作製方法。

【請求項8】半導体層を形成する第1の工程と、

前記半導体層上にゲート絶縁膜を形成する第2の工程と、

前記ゲート絶縁膜上に第1の導電膜を形成する第3の工程と、

前記第1の導電膜上に第2の導電膜を形成する第4の工程と、

前記第2の導電膜及び前記第1の導電膜に対してドライエッチングを1回または複数回行い第1の形状のゲート電極を形成する第5の工程と、

前記半導体層上に第1の不純物領域を形成する第6の工程と、

前記第1の形状のゲート電極を構成する第2の導電膜に対して選択的にドライエッチングを行い第2の形状のゲート電極を形成する第7の工程と、前記半導体層上に第2の不純物領域を形成する第8の工程と、前記第2の形状のゲート電極を構成する第1の導電膜に対して選択的にドライエッチングを行い第3の形状のゲート電極を形成する第9の工程と、を含むことを特徴とする半導体装置の作製方法。

【請求項9】請求項8において、前記第1の導電膜及び前記第2の導電膜は、タングステン、タンタル、チタン、モリブデンから選ばれた高融点金属を主成分とする材質、またはこれら金属を含む合金、またはこれら金属を主成分とする窒化物、から選ばれた材質であることを特徴とする半導体装置の作製方法。

【請求項10】請求項8または請求項9において、前記第5の工程におけるドライエッチングでは、塩素系ガス及びフッ素系ガス、若しくは、塩素系ガス及びフッ素系ガス及び O_2 を用いて第1の形状のゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項11】請求項8乃至10のいずれか一において、前記第7の工程におけるドライエッチングでは、塩素系ガス及びフッ素系ガス及び O_2 を用いて第2の形状のゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項12】請求項8乃至11のいずれか一において、前記第9の工程におけるドライエッチングでは、塩素系ガス及びフッ素系ガス、塩素系ガス及びフッ素系ガス及び O_2 、 CHF_3 、 C_4F_8 の中から選ばれたガスを用いて第3の形状のゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項13】請求項8乃至12のいずれか一における前記第8の工程は、前記第2の形状のゲート電極を構成する前記第1の導電膜及びゲート絶縁膜を通過するように不純物元素をドーピングすることで前記半導体層に前記第2の不純物領域を形成することを特徴とする半導体装置の作製方法。

【請求項14】絶縁表面上に形成された半導体層と、該

半導体層上に形成された絶縁膜と、該絶縁膜上に形成されたゲート電極とを含む半導体装置の作製方法であって、絶縁膜表面上に半導体層を形成する第1の工程と、前記半導体層上に絶縁膜を形成する第2の工程と、前記絶縁膜上に、第1の導電層と、前記第1の導電層の端部におけるテーパ角度より大きいテーパ角度を端部に有する第2の導電層との積層からなるゲート電極を形成する第3の工程を含むことを特徴とする半導体装置の作製方法。

【請求項15】請求項14において、前記半導体層の端部は、テーパ形状とすることを特徴とする半導体装置の作製方法。

【請求項16】請求項14または請求項15において、第2の導電層の幅は、第1の導電層の幅より狭いことを特徴とする半導体装置の作製方法。

【請求項17】請求項14乃至16のいずれかにおいて、前記第3の工程は、塩素系ガス及びフッ素系ガス、若しくは、前記塩素系ガス及び前記フッ素系ガス及び O_2 を用いてドライエッチングを行った後、塩素系ガス及びフッ素系ガス及び O_2 を用いてドライエッチングを行うことでゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項18】請求項1乃至17のいずれかにおいて、前記塩素系ガスは、 Cl_2 、 BCl_3 、 $SiCl_4$ 、 CCl_4 から選ばれたガスであることを特徴とする半導体装置の作製方法。

【請求項19】請求項1乃至18のいずれかにおいて、前記フッ素系ガスは、 CF_4 、 SF_6 、 NF_3 から選ばれたガスであることを特徴とする半導体装置の作製方法。

【請求項20】絶縁膜表面上に形成された半導体層と、該半導体層上に形成された絶縁膜と、該絶縁膜上に形成されたゲート電極とを含む半導体装置であって、前記ゲート電極は、第1の導電層を下層とし、前記第1の導電層の端部におけるテーパ角度より大きいテーパ角度を端部に有する第2の導電層を上層とする積層構造を有し、前記半導体層は、前記第2の導電層と重なるチャネル形成領域と、前記第1の導電層と重なるLDD領域と、ソース領域及びドレイン領域とを有していることを特徴とする半導体装置。

【請求項21】請求項20において、前記半導体層の端部はテーパ形状であることを特徴とする半導体装置。

【請求項22】請求項20または請求項21において、前記半導体層の端部は、前記ゲート電極と前記半導体層との間に設けられた絶縁膜に覆われていることを特徴とする半導体装置。

【請求項23】請求項22において、前記絶縁膜のうち、ゲート電極近傍は、テーパ形状を有していることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及びその作製方法に関し、特にドライエッチングによるそのゲート電極の加工方法により半導体層に不純物ドーピング領域を制御する技術を特徴とする。その用途は上記半導体装置を表示部に用いた表示装置、特に液晶ディスプレイ、有機ELディスプレイ及びそれら表示装置を用いた電子機器に関する。

【0002】

【従来の技術】半導体装置を作製する上でドライエッチングあるいはウェットエッチングにより半導体層の形状を形成する場合、あるいはドーピングにより半導体層に不純物領域を形成する場合、フォトリソグラフィからなるマスクが用いられる。

【0003】ドライエッチングあるいはウェットエッチングではマスクで覆われた部分の外側の材質が除去され、被エッチング材質はマスクの形状と同様の形状が形成される。一方で、ドーピングを行う際にはマスクで覆われていない半導体層に不純物領域が形成される。

【0004】近年、薄膜トランジスタ（以下、TFTという）を備えた半導体装置の構造は微細化が進んでいる。そのためマスク形成にも微細な位置合わせが要求される。微細な位置合わせはレジストからなるマスクを形成する際に形状不良を引き起こす要因の一つとなる。そこでマスクを形成し、ドライエッチングなどでTFTの一部（例えばゲート電極）を形成した後、形成した前記TFTの一部（例えばゲート電極）をマスクとして、TFTのその他の部分（例えばソース領域またはドレイン領域）を形成する自己整合的に半導体装置を作製する方法が知られている。

【0005】自己整合的に半導体装置を作製する方法は、フォトリソグラフィの技術において、フォトリソグラフィからなるマスクを形成する際に使用されるフォトリソグラフィの削減が実現でき、微細な位置合わせも不要となるため現在注目されている技術である。

【0006】半導体層に不純物領域を形成するにはリンやヒ素などに代表される（周期表における）15族の不純物元素あるいはボロンなどに代表される（周期表における）13族の不純物元素を半導体層にドーピングする方法が用いられる。

【0007】15族の不純物元素をドーピングすることでn型半導体層が形成され、13族の不純物元素をドーピングすることでp型半導体層が形成され、半導体層にソース領域あるいはドレイン領域が形成される。

【0008】一方でTFTの特性の一つにオフ電流（TFTがオフ動作時にチャネル領域を流れる電流のことをいい、本明細書では I_{off} と呼ぶ）がある。TFTの特性を評価する際に、この I_{off} の値が小さいことが要求される。

【0009】 I_{off} の値を小さくするためにはゲート電極の外側に位置する半導体層に第1のLDD (Lightly Doped Drain) 領域を形成することが望まれる。

【0010】またTFTが駆動状態の時(即ち、オン動作時)にチャネル領域にホットキャリアが発生すると半導体素子の劣化の原因になる。それを防ぐためにはゲート電極と重なる半導体層に第2のLDD領域を形成することが望まれる。

【0011】なおゲート電極とゲート絶縁膜を介して重なるLDD領域を有する半導体装置はGOLD (Gate-drain overlapped LDD) 構造として知られている。

【0012】なおGOLD構造は、LATID (Large-tilt-angle implanted drain) 構造、またはITLDD (Inverse T LDD) 構造等としても知られている。そして、例えばMutsuko Hatano, Hajime Akimoto and Takeshi Sakai, IEDM97 TECHNICAL DIGEST, p523-526, 1997では、シリコンで形成したサイドウォールによるGOLD構造であるが、他の構造のTFTと比べ、極めて優れた信頼性が得られていることが確認されている。

【0013】

【発明が解決しようとする課題】TFTを備えた半導体装置を作製する上でフォトリソからなるマスクを形成するには前後に多くの工程を必要とする。例えば、基板洗浄、レジスト材料塗布、プリバーク、露光、現像及びポストバークである。

【0014】また、前記フォトリソからなるマスクはエッチング処理またはドーピング処理後に除去する必要がある際には前後に多くの工程を必要とする。例えば、 O_2 、 H_2O あるいは CF_4 などから選ばれたガスによるアッシング処理、各種薬液を利用した剝離処理あるいは前記アッシング処理と薬液を用いた処理とを組み合わせた剝離処理などがある。この時、薬液を用いた剝離処理には薬液処理、純水でのリンス処理、基板乾燥等の工程が必要となる。

【0015】そのためフォトリソからなるマスクを用いることは半導体装置の作製工程数を増加させてしまうという問題があった。

【0016】また、半導体装置の微細化に伴い、マスク形成にも微細な位置合わせが要求されている。微細な位置合わせはレジストマスクの形成不良を引き起こし、そのリペアに費やす時間が工程時間の増加を引き起こし、製造コストを増加させる要因となっていた。

【0017】以上のように、半導体装置を作製する上でフォトリソからなるマスクを用いることは、工程数の増加、工程時間の増加を引き起こすために製造コストを増加させ、製品の歩留まりにも影響を与えていた。

【0018】そのため、マスク枚数を削減することは半導体装置の製造コストを削減することに有効である。

【0019】また、半導体装置に設けられたTFTの特性を考えた時に半導体層には上記第1のLDD領域が形成されている方が望ましく、TFTの特性項目の一つである I_{off} の値をひくくすることに有効である。

【0020】また、半導体装置の劣化を防ぐにはGOLD構造を有している方が望ましく、ゲート絶縁膜を挟んでゲート電極と重なるように半導体層に上記第2のLDD領域を形成することでチャネル領域とドレイン領域の界面に発生するホットキャリアを抑制することができる。

【0021】なお、本明細書では上記第1のLDD領域を L_{off} 領域と呼び、上記第2のLDD領域を L_{ov} 領域と呼ぶ。

【0022】しかし、 L_{off} 領域および L_{ov} 領域に不純物をドーピングするにはそれぞれフォトリソからなるマスクを半導体層に形成する必要があり、マスク枚数の増加に伴う工程数の増加が問題となっている。

【0023】また、 L_{off} 領域と L_{ov} 領域の間の位置上にゲート絶縁膜を挟んでゲート電極の端部が位置するGOLD構造の半導体装置ではフォトリソからなるマスク形成の際に微細な位置合わせを必要とし、工程が複雑化していた。そのためマスク形成時に位置合わせの不良などを引き起こすトラブルが発生することが多かった。

【0024】以上のことから、GOLD構造の半導体装置を形成するには、その微細な位置制御を要する構造上、マスク枚数の増加及びフォトリソからなるマスクの形成でのトラブルが大きな問題となり、半導体装置の製造コストの増加、製造に要する時間の増加及び製造歩留まりの低下を引き起こす要因となっていた。

【0025】そこで、GOLD構造の半導体装置のLDD領域を形成する際に、LDD領域を形成するためのフォトリソからなるマスクを用いずにより自己整合的に L_{off} 領域及び L_{ov} 領域を形成することができないか研究していた本発明者らはゲート電極の材質及びドライエッチング方法を工夫することで、自己整合的に不純物元素をドーピングして L_{off} 領域及び L_{ov} 領域を形成する作製方法を発明した。

【0026】この方法を用いば、自己整合的に半導体層に不純物元素をドーピングして L_{off} 領域及び L_{ov} 領域を形成することが可能となり、従来よりもマスク枚数を削減でき、マスク形成の際のトラブルも無くすることができる。従って、半導体装置の製造コスト、製造に要する時間を減少することができる。

【0027】

【課題を解決するための手段】半導体装置を作製する際、LDD領域を有していることが望ましい。また、半導体装置の劣化を抑えるにはGOLD構造が形成されていることが望ましい。しかし、従来では、このようなLDD領域を形成するにはレジストからなるマスクを形成

する必要があった。そのためにマスク枚数が増加し、製造コストの増加が問題となった。しかし、本発明により L_{off} 領域及び L_{on} 領域を自己整合的に形成することが可能となり、半導体装置の製造工程に要するマスク枚数を削減でき、製造時間の短縮及び製造コストの削減が可能となる。

【0028】GOLD構造の半導体装置におけるゲート電極の端部は、ゲート絶縁膜を間に挟んでLDD領域の一部と重なるように構成されている。本発明ではゲート電極の形状をドライエッチングによりテーパー形状に加工し、加工したゲート電極をマスクに用いて自己整合的にドーピングすることを繰り返して行う。本発明は、こうすることによって半導体層にソース領域、ドレイン領域、 L_{off} 領域及び L_{on} 領域を形成する。なお、ドーピングする時、ゲート電極の一部を不純物が通り抜けるようにドーピングすることでゲート電極と重なる半導体層に L_{on} 領域を形成するため、半導体層にはそれぞれ不純物濃度の異なる不純物領域が形成される。

【0029】本発明は、半導体層を形成する第1の工程と、前記半導体層上にゲート絶縁膜を形成する第2の工程と、前記ゲート絶縁膜上に第1の導電膜を形成する第3の工程と、前記第1の導電膜上に第2の導電膜を形成する第4の工程と、前記第2の導電膜及び前記第1の導電膜に対してドライエッチングを1回または複数回行い第1の形状のゲート電極を形成する第5の工程と、前記半導体層に第1の不純物領域を形成する第6の工程と、前記第1の形状のゲート電極に対してドライエッチングを行い第2の形状のゲート電極を形成する第7の工程と、前記第2の形状のゲート電極を構成する第2の導電膜に対して選択的にドライエッチングを行い第3の形状のゲート電極を形成する第8の工程と、前記半導体層に第2の不純物領域を形成する第9の工程とを有する半導体装置の作製方法によって、前記半導体装置に自己整合的にGOLD構造を形成することを特徴としている。

【0030】上記本発明において、前記第1の導電膜と前記第2の導電膜は、それぞれタングステン、タンタル、チタン、モリブデンなどの高融点金属、または、これら金属を成分とする窒化物、または、これら金属を含む合金などから選ばれた材質を用いる。なお、前記第1の導電膜と前記第2の導電膜は異なる材質とする。

【0031】また、上記ドライエッチングには高密度プラズマを用いたドライエッチング法を適用し、プラズマ発生源の電力と基板側に負のバイアス電圧を発生させるバイアス電力を独立に制御できるエッチング装置を用いる。本発明者らの実験結果よりゲート電極端部のテーパー角度は基板側のバイアス電圧に依存することを見いだし、ドライエッチング装置のバイアス電力をより大きく設定することでゲート電極のテーパー角度をより小さくすることができるということがわかった。バイアス電力を適宜制御することによって、端部に $5 \sim 80^\circ$ のテ-

ーパー角度を有するゲート電極を形成することができ、このゲート電極を不純物領域を形成する際のマスクに用いる。

【0032】また、本明細書中では便宜上、導電層の側斜面が水平面となす角度をテーパー角度（テーパー角とも言う）と呼び、このテーパー角度を有している側斜面をテーパー形状と呼び、テーパー形状を有している部分をテーパー部と呼ぶ。

【0033】また、前記第5の工程ではゲート電極の端部に $5 \sim 60^\circ$ のテーパー角度が形成されるようにドライエッチングを行い、第1の形状のゲート電極を形成している。

【0034】また、前記第7の工程では第5の工程でのドライエッチング条件より小さいバイアス電力の条件でドライエッチングする。バイアス電力を小さくすることでゲート電極端部のテーパー角度は前記第1の形状のゲート電極よりも大きくなる。このため第1の形状のゲート電極よりも幅の細い第2の形状のゲート電極が形成される。

【0035】前記第8の工程では前記第2の導電膜を選択的にドライエッチングする。前記第8の工程で第2の形状のゲート電極を構成する第2の導電膜における端部のテーパー角度を大きくする。一方、第8の工程では、第2の形状のゲート電極を構成する第1の導電膜はほとんどエッチングされないため、第1の導電膜に比べ第2の導電膜の幅が細くなった第3の形状のゲート電極を形成する。

【0036】不純物領域を形成するにはイオンドーピング法を用いている。イオンドーピング法他にイオン注入法を用いることも可能である。本発明では不純物をドーピングする際フォトリソグラフィからなるマスクを用いずにゲート電極をマスクに用いている。そのために半導体装置を作製するためのマスク枚数を削減している。n型の半導体装置を形成するならば、前記第6の工程及び前記第9の工程においてリンやヒ素などに代表される15族の不純物元素をドーピングすればよく、p型の半導体装置を形成するならば、前記第6の工程及び前記第9の工程においてボロンなどに代表される13族の不純物元素をドーピングすればよい。

【0037】前記第6の工程では第1の形状のゲート電極をマスクに用いて不純物元素をドーピングすることでゲート絶縁膜を通り抜け、第1の形状の外側に位置する半導体層に第1の不純物領域が形成される。前記第1の不純物領域はソース領域あるいはドレイン領域となる。

【0038】前記第9の工程では第3の形状のゲート電極のうち第2の導電膜をマスクに用いて不純物元素をドーピングすることで第2の不純物領域を形成する。前記第9の工程でのドーピング条件は、第1の不純物領域を形成した時の条件よりも少ないドーピング量、高い加速電圧としてドライエッチングを行うことで半導体層には第1

の不純物領域よりも不純物濃度の低い第2の不純物領域が形成される。また、不純物元素は第3の形状のゲート電極のうち第1の導電膜及びゲート絶縁膜を通り抜けて半導体層にドーピングされる。第2の不純物領域のうち第3の形状のゲート電極の外側に L_{off} 領域が形成され、第2の導電膜と重ならない第1の導電膜と重なる領域に L_{on} 領域が形成される。

【0039】以上の手段を用いることで、ソース領域、ドレイン領域、ゲート電極の外側に位置するLDD領域及びゲート電極と重なるLDD領域を有する半導体層と、ゲート絶縁膜と、ゲート電極を有するGOLD構造の半導体装置を形成する。また、この半導体装置を形成するまでに要したフォトマスクは島状の半導体層を形成する為のフォトマスクとゲート電極を形成する為のフォトマスクの2枚のみである。そのうちゲート電極を形成する為のマスクによりゲート電極を形成し、そのゲート電極を用いて自己整合的に半導体層にソース領域、ドレイン領域、 L_{on} 領域及び L_{off} 領域を形成する。

【0040】上記手段を用いてマスク枚数を削減することで半導体装置の製造工程数、製造に要する時間を削減でき、製造コストの削減及び歩留まりの改善が可能となる。

【0041】また、上記の処理のほかにもドライエッチングや不純物ドーピングの処理順序及び条件を変えることで同じマスク枚数にて島状に形成された半導体層とゲート絶縁膜とゲート電極を有する半導体装置にGOLD構造を形成することができる。以下に上記構成とは他の例として具体的な製造プロセスを説明する。

【0042】半導体層を形成する第1の工程と、前記半導体層上にゲート絶縁膜を形成する第2の工程と、前記ゲート絶縁膜上に第1の導電膜を形成する第3の工程と、前記第1の導電膜上に第2の導電膜を形成する第4の工程と、前記第2の導電膜及び前記第1の導電膜に対してドライエッチングを1回または複数回行い第1の形状のゲート電極を形成する第5の工程と、前記半導体層上に第1の不純物領域を形成する第6の工程と、前記第1の形状のゲート電極を形成する第2の導電膜に対して選択的にドライエッチングを行い第2の形状のゲート電極を形成する第7の工程と、前記半導体層上に第2の不純物領域を形成する第8の工程と、前記第2の形状のゲート電極を構成する第1の導電膜に対して選択的にドライエッチングを行い第3の形状のゲート電極を形成する第9の工程とを有する半導体装置の作製方法によって、自己整合的にGOLD構造を形成することを特徴としている。

【0043】上記本発明において、前記第1の導電膜と前記第2の導電膜は、それぞれタングステン、タンタル、チタン、モリブデンなどの高融点金属、または、これら金属を成分とする窒化物、または、これら金属を含む合金などから選ばれた材質を用いる。なお、前記第1

の導電膜と前記第2の導電膜は異なる材質とする。

【0044】ドライエッチングにはプラズマ発生源の電力と基板側に負のバイアス電圧を発生させるバイアス電力を独立に制御できるドライエッチング装置、あるいは平行平板型のRIE装置を用いる。

【0045】また、前記第5の工程ではゲート電極の端部に $5 \sim 60^\circ$ のテーパー角度が形成されるようにドライエッチングを行い、第1の形状のゲート電極を形成する。

【0046】前記第7の工程では第1の形状のゲート電極のうち、第2の導電膜を選択的にエッチングする。前記第7の工程では、第5の工程でのドライエッチング条件よりも小さいバイアス電力の条件で処理する。バイアス電力を小さくすることで前記第2の導電膜端部のテーパー角度は前記第1の形状のゲート電極よりも大きくなる。第1の導電膜はほとんどエッチングされないため第1の導電膜よりも第2の導電膜のほうが幅の細い第2の形状のゲート電極が形成される。

【0047】不純物領域を形成するにはイオンドーピング法を用いている。イオンドーピング法の他にイオン注入法を用いることも可能である。前記第6の工程では第1の形状のゲート電極をマスクに用い、ゲート絶縁膜を通り抜けて不純物元素をドーピングすることで第1の形状の外側に位置する半導体層上に第1の不純物領域を形成する。前記第1の不純物領域はソース領域あるいはドレイン領域となる。

【0048】前記第8の工程では第2の形状のゲート電極のうち第2の導電膜をマスクに用いて不純物元素をドーピングして第2の不純物領域を形成する。前記第8の工程のドーピング条件は、第1の不純物領域を形成した時の条件よりも少ないドーズ量、高い加速電圧で行い、半導体層上に第1の不純物領域よりも不純物濃度の低い第2の不純物領域を形成する。また、不純物元素は第2の形状のゲート電極のうち第1の導電膜及びゲート絶縁膜を通り抜けて半導体層にドーピングされる。

【0049】前記第9の工程では前記第1の導電膜を選択的にドライエッチングする。第1の導電膜においては、第7の工程によって第2の導電膜と重ならない部分に非常に小さなテーパー角度が形成されている為、第1の導電膜は端部からエッチングされ細くなり、第3の形状のゲート電極を形成する。この時、第1の導電膜と重なる半導体層には第2の不純物領域が形成されており、第1の導電膜が細くなることにより第2の不純物領域の一部は第3の形状のゲート電極の外側に位置するようになる。前記第2の不純物領域の内、第3の形状のゲート電極外側に位置する領域は L_{off} 領域となり、第3の形状のゲート電極と重なる領域は L_{on} 領域となる。

【0050】以上の手段を用いても、2枚のフォトマスク枚数でソース領域、ドレイン領域、 L_{on} 領域及び L_{off} 領域が形成された半導体層と、ゲート絶縁膜とゲート

電極を有する半導体装置を形成することができる。

【0051】また、本発明は、ゲート電極の形成方法に特徴があると言える。

【0052】本発明は、絶縁表面上に形成された半導体層と、該半導体層上に形成された絶縁膜と、該絶縁膜上に形成されたゲート電極とを含む半導体装置の作製方法であって、絶縁表面上に半導体層を形成する第1の工程と、前記半導体層上に絶縁膜を形成する第2の工程と、前記絶縁膜上に、第1の導電層と、前記第1の導電層の端部におけるテーパ角度より大きいテーパ角度を端部に有する第2の導電層との積層からなるゲート電極を形成する第3の工程とを含むことを特徴とする半導体装置の作製方法である。

【0053】また、上記本発明において、図3または図9に示したように前記半導体層の端部は、テーパ形状とすることが好ましい。

【0054】また、上記本発明において、前記第1の導電層の端部は、テーパ形状であることが好ましく、テーパ形状とするため、前記第3の工程は、塩素系ガス及びフッ素系ガス、若しくは、前記塩素系ガス及び前記フッ素系ガス及び O_2 を用いてドライエッチングを行った後、塩素系ガス及びフッ素系ガス及び O_2 を用いてドライエッチングを行うことでテーパ形状を端部に有するゲート電極を形成することを特徴としている。

【0055】なお、上記ゲート電極は、前記第1の導電層の端部におけるテーパ角度（ 60° 以下、好ましくは 5° 未満）より大きいテーパ角度（ $45^\circ \sim 80^\circ$ ）を端部に有する第2の導電層としたため、第2の導電層は、第1の導電層の幅より幅が狭いことを特徴としている。

【0056】なお、前記塩素系ガスは、 Cl_2 、 BCl_3 、 $SiCl_4$ 、 CCl_4 から選ばれたガスである。また、前記フッ素系ガスは、 CF_4 、 SF_6 、 NF_3 から選ばれたガスである。

【0057】また、上記方法により得られるテーパ形状を有するゲート電極を備えた半導体装置も本発明の特徴の一つである。テーパ角度の異なる第1の導電層と第2の導電層からなるゲート電極を形成して不純物元素のドーピングを行えば自己整合的にGOLD構造のTFTを得ることができる。

【0058】その構成は、絶縁表面上に形成された半導体層と、該半導体層上に形成された絶縁膜と、該絶縁膜上に形成されたゲート電極とを含む半導体装置であって、前記ゲート電極は、第1の導電層を下層とし、前記第1の導電層の端部におけるテーパ角度より大きいテ

ーパー角を端部に有する第2の導電層を上層とする積層構造を有し、前記半導体層は、絶縁膜を間に挟んで前記第2の導電層と重なるチャネル形成領域と、絶縁膜を間に挟んで前記第1の導電層と重なるLDD領域と、ソース領域及びドレイン領域とを有していることを特徴とする半導体装置である。

【0059】上記構成において、図3または図9に示したように前記半導体層の端部はテーパ形状であることを特徴としている。

【0060】また、上記構成において、図3または図9に示したように前記半導体層の端部は、前記ゲート電極と前記半導体層との間に設けられた絶縁膜に覆われていることを特徴としている。また、図3または図9に示したように前記絶縁膜のうち、ゲート電極近傍は、テーパ形状を有していることを特徴としている。

【0061】

【発明の実施の形態】本発明の実施の形態について本発明者はいくつかの実験を行った。図1～4を用いて以下に説明する。ここでは、窒化タンタルを下層とし、タングステンを上層としたゲート電極構造を例に説明するが、このゲート構造に限定されず、タングステン、タンタル、チタン、モリブデン、銀、銅等から選ばれた元素、あるいは前記元素を成分とする窒化物、あるいは前記元素を組み合わせた合金を適宜選択して積層すればよい。

【0062】本発明では、エッチング装置にICP (Inductively Coupled Plasma) プラズマ発生源を有する装置（以下、ICP方式ドライエッチング装置とも呼ぶ）を用いた。ICP方式ドライエッチング装置の特徴はプラズマ発生源であるICP電力と基板側に負のバイアス電圧を発生させるバイアス電力をそれぞれ独立に制御できる点である。

【0063】（実験1）まず、上記ICP方式ドライエッチング装置を用いてタングステン（W）膜及び窒化タンタル（Ta₂N₅）膜をエッチングした場合の諸特性について説明する。

【0064】ICP方式ドライエッチング装置を用いた場合、そのエッチングで重要となるパラメーターにICP電力、バイアス電力、エッチングチャンバー圧力及び使用ガスとその流量がある。これらパラメーターの条件を振り分けてW膜及びTa₂N₅膜のエッチングレートを測定した。表1及び図1にその結果を示す。

【0065】

【表1】

W及びTa-Nのエッチングレート (E.R.) 及びWテーパー角度

| 条件 | ICP | バイアス | 圧力 | CF ₄ | Cl ₂ | O ₂ | # E.R. ① | Ta-N E.R. ② | #Ta-N選択比 | Wテーパー角度 |
|----|-----|------|------|-----------------|-----------------|----------------|----------|-------------|----------|---------|
| | [W] | [W] | [Pa] | | | [sccm] | [nm/min] | [nm/min] | ①÷② | [deg] |
| 1 | 500 | 20 | 1.0 | 30 | 30 | 0 | 58.97 | 66.43 | 0.889 | 80 |
| 2 | 500 | 50 | 1.0 | 30 | 30 | 0 | 88.71 | 118.46 | 0.750 | 25 |
| 3 | 500 | 100 | 1.0 | 30 | 30 | 0 | 111.66 | 168.03 | 0.667 | 18 |
| 4 | 500 | 20 | 1.0 | 25 | 25 | 10 | 124.62 | 20.67 | 6.049 | 70 |
| 5 | 500 | 50 | 1.0 | 25 | 25 | 10 | 161.72 | 35.81 | 4.526 | 35 |
| 6 | 500 | 100 | 1.0 | 25 | 25 | 10 | 176.90 | 58.32 | 3.008 | 32 |
| 7 | 500 | 150 | 1.0 | 25 | 25 | 10 | 208.28 | 83.32 | 2.495 | 26 |
| 8 | 500 | 200 | 1.0 | 25 | 25 | 10 | 218.20 | 102.67 | 2.124 | 22 |
| 9 | 500 | 250 | 1.0 | 25 | 25 | 10 | 232.12 | 124.97 | 1.860 | 22 |
| 10 | 500 | 20 | 1.0 | 20 | 20 | 20 | - (A) | 14.83 | - | - |
| 11 | 500 | 50 | 1.0 | 20 | 20 | 20 | 193.02 | 14.23 | 13.565 | 37 |
| 12 | 500 | 100 | 1.0 | 20 | 20 | 20 | 235.27 | 21.81 | 10.856 | 29 |
| 13 | 500 | 150 | 1.0 | 20 | 20 | 20 | 276.74 | 38.61 | 7.219 | 26 |
| 14 | 500 | 200 | 1.0 | 20 | 20 | 20 | 290.10 | 45.30 | 6.422 | 24 |
| 15 | 500 | 250 | 1.0 | 20 | 20 | 20 | 304.34 | 50.25 | 6.091 | 22 |

(*) セル内の - はエッチング時にW膜が変質したため測定不可。

【0066】なお、エッチングレート測定に使用したサンプル構造はコーニング社製#1737基板にスパッタリングにてW膜を400nmあるいはTa-N膜を300nm成膜し、フォトリソトなどによる適当な形状のマスクを用いて適当な時間にてW膜あるいはTa-N膜をハーフエッチングする。その後、W膜あるいはTa-N膜のエッチング量を段差測定器にて測定し、そのときのエッチング時間からエッチングレートを算出した。結果を表1及び図1に示す。

【0067】表1では、ICP電力を500Wとし、チャンパー圧力を1.0Paで固定し、バイアス電力及び使用ガスの条件を振り分けてエッチングレートを評価している。

【0068】表1及び図1(A)はW膜のエッチングレート(バイアス電力及び使用ガスの依存性を示すデータである。バイアス電力の増加と使用ガスに酸素(O₂)を添加させることでW膜のエッチングレートが増加していることがわかる。

【0069】一方、表1及び図1(B)はTa-N膜のエッチングレートのバイアス電力及び使用ガスの依存性を示すデータである。上記W膜のエッチングレートと同様にバイアス電力の増加に伴いTa-N膜のエッチングレートは増加するが、使用ガスに酸素を添加することでエッチングレートは減少していることがわかる。

【0070】表1のデータをもとにTa-N膜に対するW膜の選択比(W膜エッチングレートとTa-N膜エッチングレートの比)を求めると、表1及び図1(C)に示したように使用ガスに酸素が添加されていない状態では1未満であった選択比がエッチングガスに酸素を添加することで最大13.695まで増加することがわかった。

【0071】(実験2)この結果を検証するために、本発明者らはガラス基板上にTa-N膜を成膜しさらにその上にW膜を成膜して積層構造としたサンプルを表1に示す条件の中から選出し、実際にエッチングを行った。エッチング条件及び結果の光学顕微鏡写真を図2に示す。

【0072】図2は、コーニング社製#1737ガラス

基板にシリコンを主成分とする絶縁膜を成膜し、その上に熱またはレーザーにより結晶化されたシリコン201が島状の半導体層として55nmの厚さで形成されている。なお、前記絶縁膜層はガラス基板からの不純物の放出を防ぐために形成されたもので絶縁性を有するものであれば膜質及び膜厚は問わない。

【0073】前記絶縁膜上の前記島状半導体層を覆うようにしてゲート絶縁膜が形成されている。

【0074】前記ゲート絶縁膜上に第1の導電膜となるTa-N膜を30nmの厚さで形成し、さらに前記第1の導電膜上に第2の導電膜となるW膜を370nmの厚さで形成して、フォトリソトによりゲート電極及びゲート配線のマスク202を形成した。

【0075】表1において条件7(ICP電力を500W、バイアス電力を150W、チャンパー圧力を1.0Paとする。ガスはCl₂、CF₄及びO₂を使用する。ガスの流量はそれぞれCl₂を25sccm、CF₄を25sccm、O₂を10sccmである。)を用いて第2の導電膜を選択的にエッチングしたのが図2(A)である。

【0076】また、図2(B)は条件7によりW膜を選択的にエッチングした基板を続けて表1の条件1(ICP電力を500W、バイアス電力を20W、チャンパー圧力を1.0Paとし、ガスはCl₂、CF₄を使用する。ガスの流量はCl₂を30sccm、CF₄を30sccmである。)を用いてW膜及びTa-N膜をエッチングした後のゲート電極の写真である。

【0077】図2(A)では、W膜がテーパー角度26°のテーパー形状を有し、その端部203がレジストマスクの外側に700~800nm程度はみ出しており、さらにその外側にはTa-N膜204がエッチングされずにゲート絶縁膜上に残っているのがわかる。

【0078】図2(B)は、Ta-N膜及びW膜を同時にエッチングしており、テーパー形状のW膜の外側に残っていたTa-N膜は完全にエッチングされている。

【0079】表1で求められたW膜とTa-N膜の選択比を

元に実験2を行ったが、実際にTa₂N膜とW膜の積層構造を有するサンプルでも選択的にエッチングができることが確認できた。また、実験1、及び実験2でW膜のエッチング後の形状からW膜のテーパ角度とバイアス電力に相関関係があることがわかった。

【0080】(実験3)次に、W膜のエッチングによるテーパ角度を測定した。コーニング社製#1737ガラス基板にシリコンを主成分とする絶縁膜を成膜し、その上にW膜を400nm成膜し、次にフォトレジストからなる3.5μmラインのマスクをパターンニングした。この時、フォトレジスト端部には60°のテーパ角度が形成されている。

【0081】なお、前記絶縁膜はW膜のエッチング中にガラス基板からの不純物放出を防ぐために設けられたものでW膜のエッチング条件に対して選択性があるものならば種類や膜厚は問わない。上記サンプルをバイアス電力及び使用ガスを振り分けてエッチングし、断面形状をSEM (Scanning Electron Microscopy) にて観察しテーパ角度を計測した。

【0082】表1及び図1(D)に結果を示す。バイアス電力が50〜250Wの間で増加するとW膜のテーパ角度は37〜18°まで緩やかに小さくなるがバイアス電力が20Wの時はテーパ角度70〜80°となり垂直に近い形状となる。

【0083】本発明は、ゲート電極を第1の導電膜からなるゲート電極及び該ゲート電極の上に形成された第2の導電膜からなるゲート電極の2層構造とし、ドライエッチングにおける使用ガスを制御することで第2の導電膜からなるゲート電極を選択的にエッチングすること、及びドライエッチングにおいて基板側に負のバイアス電圧を発生させるバイアス電力を制御することでゲート電極の端部のテーパ角度を制御を特設とする半導体装置の製造方法であり、ゲート電極の形状を自在に加工し、ドーピング時のマスクに使うことで自己整合的にソース領域、ドレイン領域、 L_{off} 領域及び L_{on} 領域を有するLDD領域に不純物をドーピングし、ソース領域、ドレイン領域、 L_{off} 領域及び L_{on} 領域を形成することを特徴とする半導体装置の製造方法である。

【0084】(実施の形態)つぎに、ゲート電極の一方の端部を示す断面図である図3を用いて前記実験1、実験2及び実験3の結果を利用して実際にゲート電極をマスクとしたドーピングにより自己整合的に半導体層にソース領域、ドレイン領域、 L_{on} 領域及び L_{off} 領域を形成する方法を詳しく説明する。

【0085】まず、以下のようなサンプルを用意する。ガラス基板301上にガラス基板からの不純物の拡散を防ぐためにシリコンを主成分とする絶縁膜202を形成する。次に島状に形成された半導体層303とそれを覆うように形成された第1の形状のゲート絶縁膜304Aからなるサンプルを用意する。

【0086】前記サンプルに第1の導電膜となるTa₂N膜を30nmの膜厚で成膜し、前記第1の導電膜上に第2の導電膜となるW膜を370nmの膜厚でスパッタにて成膜する。前記島状の半導体層とチャネル領域で重なるようにフォトレジストにてマスクを形成する。

【0087】第1のドライエッチングを行う。(図3(A))エッチング条件はICP電力を500W、バイアス電力を150W、チャンバー圧力を1.0Paとし、ガスはC₁₂、CF₄、O₂を使用する。ガス流量はそれぞれC₁₂を25sccm、CF₄を25sccm、O₂を10sccmとする。このエッチング条件は図1に示した7の条件であり、W膜にテーパ角度26°のテーパ形状を形成することができ、Ta₂N膜に対するW膜の選択比は約2.5である。ここでは、この条件を用いてW膜を選択的にドライエッチングする。なお、エッチングではプラズマの発光強度をモニタリングし、W膜のエッチング終了点を検出する。

【0088】終了点検出後、エッチング残渣などが発生しないようにオーバーエッチングを行うことが望ましいが、長時間のオーバーエッチングによりTa₂N膜が過剰にエッチングされてしまうのを防ぐため、ここでは10%のオーバーエッチングを行った。

【0089】上記第1のドライエッチングにより、第2の導電膜であるW膜は26°のテーパ角度を有する第1の形状のゲート電極(第2の導電層)306Aとなり、第1の導電膜であるTa₂N膜はオーバーエッチングにより13〜14nmエッチングされるが基板に対して全面に残っている状態となり、第1の導電膜305Aとなる。

【0090】また、上記第1のドライエッチングはエッチングガスにC₁₂、BCl₃、SiCl₄、CCl₄などの塩素系ガス、CF₄、SF₆、NF₃などのフッ素系ガス及びO₂から選ばれたガス、またはこれらを主成分とする混合ガスを用いても良い。

【0091】このとき、ゲート絶縁膜304Aは、Ta₂N膜がストッパー層の役割をするためエッチングされない。

【0092】続けてフォトレジストを除去せず、第2のドライエッチングを行う。エッチング条件はICP電力を500W、バイアス電力を20W、チャンバー圧力を1.0Paとし、ガスはC₁₂及びCF₄を使用した。ガス流量はそれぞれC₁₂を30sccm、CF₄を30sccmとした。これは表1に示した11の条件であり、W膜及びTa₂N膜はほぼ同じエッチングレートでエッチングされ、第2の形状のゲート電極305B、306Bとなる。

【0093】また、第2のドライエッチングの際、Ta₂N膜のオーバーエッチング時に第1の形状のゲート絶縁膜は13.8〜25.8nm程度エッチングされ、第2の形状のゲート絶縁膜304Bとなる。

【0094】また、第2のドライエッチングはエッチングガスに Cl_2 、 BCl_3 、 SiCl_4 、 CCl_4 などの塩素系ガス、 CF_4 、 SF_6 、 NF_3 などのフッ素系ガス及び O_2 から選ばれたガス、またはこれらを主成分とする混合ガスを用いても良い。

【0095】次に、フォトレジストを除去せず、第1のドーピングを行い、半導体層303にソース領域及びドレイン領域を形成する。ここではn型半導体層を形成するためリンをドーピング量 1.5×10^{15} atoms/ cm^2 、加速電圧80kVでドーピングした。リングドーピングされた半導体層にはn型のソース領域及びドレイン領域308が形成される。(図3(B))

【0096】次に、フォトレジストを除去せず、第3のドライエッチングを行う。(図3(C))フォトレジスト307Aは第2のドライエッチングにより第2の形状のフォトレジスト307Bとなっている。第3のドライエッチングのエッチング条件はICP電力を500W、バイアス電力を20W、チャンバー圧力を1.0Paとした。ガスは Cl_2 及び CF_4 を使用した。ガス流量はそれぞれ Cl_2 を30sccm、 CF_4 を30sccmとした。

【0097】この第3のドライエッチングによりW膜及びTa₂N膜は共にエッチングされる。上記第1及び第2のドライエッチングにより形成されたゲート電極のテーパー部は第3のドライエッチングにより、より大きな角度となってゲート電極の幅は細くなり、第3の形状のゲート電極305C、306Cが形成される。

【0098】この第3のドライエッチングの際、第2の形状のゲート電極305Bと重ならない第2の形状のゲート絶縁膜304Bは若干エッチングされる。また第2の形状のゲート電極がエッチングされて、第3の形状の

ゲート電極へと幅が細くなるにしたがいプラズマに曝されるゲート絶縁膜も徐々にエッチングされ、テーパー形状を有する第3の形状のゲート絶縁膜304Cが形成される。ここでは、第3のドライエッチングを行うことで約60nmのゲート絶縁膜がエッチングされる。

【0099】また、第3のドライエッチングはエッチングガスに Cl_2 、 BCl_3 、 SiCl_4 、 CCl_4 などの塩素系ガス、 CF_4 、 SF_6 、 NF_3 などのフッ素系ガス及び O_2 から選ばれたガス、またはこれらを主成分とする混合ガスを用いることができる。

【0100】なお、第3のドライエッチングの際、W膜及びTa₂N膜のエッチングするガスに SF_6 を用いると、ゲート絶縁膜に対して高い選択比を得ることができるため好ましい。

【0101】第3のドライエッチングで使用するガスに SF_6 を用いる場合、例えば、ICP電力を500W、バイアス電力を10W、チャンバー圧力を1.3Paとして、 Cl_2 及び SF_6 をエッチングガスに用い、ガス流量をそれぞれ Cl_2 を20sccm、 SF_6 を40sccmとする。このときW膜のエッチングレートは129.5nm/min、またゲート絶縁膜のエッチングレートは14.0nm/minとなり、ゲート絶縁膜に対するW膜の選択比は9.61となる。この条件にて前記第3のドライエッチングを行うと、ゲート絶縁膜は5nm程度しかエッチングされない。

【0102】また、 Cl_2 及び SF_6 、あるいは Cl_2 、 SF_6 及び O_2 を用い、上記条件以外の条件にてW膜、 SiO_2 膜、Ta₂N膜のエッチングレートの評価する実験を行った。その実験結果を表2に示す。

【0103】

【表2】

・各エッチング条件におけるタングステン (W)、ゲート絶縁膜 (G I)、窒化タンタル (T a N) のエッチングレート (E. R.) および選択比

| C12 | SP6 | O2 | ICP | BIAS | PRSS | W E. R. | GI E. R. | TaN E. R. | 選択比 | |
|-----|-----|----|-----|------|------|----------|----------|-----------|--------|-------|
| | scm | | [W] | [V] | [Pa] | [nm/min] | [nm/min] | [nm/min] | W/SiON | W/TaN |
| 0 | 60 | 0 | 500 | 20 | 1.0 | 94.7 | 26.9 | | 3.78 | |
| 10 | 50 | 0 | 500 | 20 | 1.0 | 90.3 | 23.3 | | 3.43 | |
| 20 | 40 | 0 | 500 | 20 | 1.0 | 113.4 | 31.1 | | 3.87 | |
| 30 | 30 | 0 | 500 | 20 | 1.0 | 105.6 | 37.5 | | 2.98 | |
| 40 | 20 | 0 | 500 | 20 | 1.0 | 94.5 | 37.7 | | 2.67 | |
| 20 | 40 | 0 | 500 | 10 | 1.3 | 129.5 | 14.0 | 85.1 | 9.61 | 1.52 |
| 20 | 40 | 0 | 500 | 20 | 1.3 | 185.1 | 44.3 | 137.5 | 4.45 | 1.35 |
| 20 | 40 | 0 | 500 | 30 | 1.3 | 173.0 | 57.2 | | 3.19 | |
| 20 | 40 | 0 | 700 | 20 | 1.3 | 251.2 | 49.9 | 136.0 | 5.44 | 1.85 |
| 20 | 40 | 0 | 900 | 20 | 1.3 | 359.1 | 65.2 | | 5.81 | |
| 20 | 40 | 0 | 700 | 10 | 1.3 | 274.3 | 29.8 | 107.4 | 9.33 | 2.56 |
| 10 | 50 | 0 | 500 | 20 | 1.3 | 140.6 | 27.6 | 144.1 | 5.43 | 0.98 |
| 10 | 50 | 0 | 500 | 10 | 1.3 | 104.3 | 12.8 | 111.2 | 8.35 | 0.94 |
| 30 | 30 | 0 | 500 | 20 | 1.3 | 153.1 | 48.2 | 116.4 | 3.36 | 1.32 |
| 0 | 60 | 0 | 500 | 20 | 1.3 | | | 146.5 | | |
| 10 | 50 | 0 | 500 | 20 | 1.3 | | | 144.1 | | |
| 20 | 40 | 0 | 500 | 20 | 1.3 | | | 137.5 | | |
| 30 | 30 | 0 | 500 | 20 | 1.3 | | | 116.4 | | |
| 40 | 20 | 0 | 500 | 20 | 1.3 | | | 85.1 | | |
| 50 | 10 | 0 | 500 | 20 | 1.3 | | | 52.3 | | |
| 25 | 25 | 10 | 500 | 20 | 1.0 | 131.1 | 32.7 | | 4.25 | |
| 20 | 20 | 20 | 500 | 20 | 1.0 | 136.9 | 28.0 | | 5.10 | |

【0104】第3のドライエッチングで使用するガスに、C1₂及びSF₆、あるいはC1₂、SF₆及びO₂を用いる場合は、表2の条件を適宜選択して使用すればよい。

【0105】次いで、フォトレジストを除去せず、第4のドライエッチングを行う。(図3(D))なお、フォトレジスト307Bは第2のドライエッチングにより形状は変化し第3の形状307Cを有している。第4のドライエッチングのエッチング条件はICP電力を500W、バイアス電力を20W、チャンバー圧力を1.0Paとし、使用ガスはC1₂、CF₄、O₂とした。ガス流量はそれぞれC1₂を25sccm、CF₄を25sccm、O₂を10sccmとした。

【0106】この第4のドライエッチングにより、バイアス電力を20Wとすることで第3の形状のゲート電極(W膜)の端部にさらに大きな70°のテーパ角度を形成する。ゲート電極のW膜の幅をさらに細くし第4の形状のゲート電極306Dを形成する。第4のドライエッチングによりゲート電極305Dに比べ幅の細いゲート電極306Dを有する第4の形状のゲート電極が形成される。

【0107】また、この第4のドライエッチングにより、第3の形状のゲート電極のW膜を選択的にエッチングすることにより第4の形状のゲート電極のTa₂N膜の端部が露出する。第4のドライエッチングのエッチングガスにO₂を添加したためにゲート電極の下層に設けられているTa₂N膜のエッチングレートは、表1より20.67nm/minであり、124.62nm/min

のエッチングレートを有するW膜に比べて遅いため、ほとんどエッチングされない。

【0108】従って、第4のドライエッチングにより、第4の形状のゲート電極の下層に設けられているTa₂N膜は、第3の形状のゲート電極の幅と同じ幅を有し、その端部にテーパ形状を有する第4の形状のゲート電極305Dが形成される。

【0109】また、第4のドライエッチングはエッチングガスにC1₂、BCl₃、SiCl₄、CCl₄などの塩素系ガス、CF₄、SF₆、NF₃などのフッ素系ガス及びO₂から選ばれたガス、またはこれらを主成分とする混合ガスを用いても良い。

【0110】なお、第4のドライエッチングの際、第3の形状のゲート電極305Cと重ならない第3の形状のゲート絶縁膜304Cは、若干エッチングされて第4の形状のゲート絶縁膜304Dが形成される。

【0111】第3及び第4のドライエッチングにより第4の形状のゲート電極305Dと重ならないゲート絶縁膜は57〜73nm程度エッチングされ、第1〜第4のドライエッチングによりゲート絶縁膜は最大88nm程度エッチングされる。

【0112】ただし、第2、第3及び第4のエッチング、特に第3のエッチングにおいてエッチングガスにSF₆を用いた場合、ゲート絶縁膜は最大20nm程度しかエッチングされない。

【0113】以上、第1、第2、第3及び第4のドライエッチングにより、ゲート電極305Dはゲート電極306Dよりもチャネル長方向に長い形状、即ち大きい幅

を有し、第4の形状のゲート絶縁膜304Dは前記ゲート電極(Ta_n膜)と重なる領域で第1の厚さを有する第1のゲート絶縁膜309と、前記第1ゲート電極の外側に第2の厚さを有する第2のゲート絶縁膜310と、前記第1の領域と前記第2の領域の間に第1の厚さから第2の厚さへ変化する第3のゲート絶縁膜311と、便宜上、前記第1のゲート絶縁膜309の内、前記第1の形状のゲート電極306Dと重なる第4のゲート絶縁膜312を有する形状となり、前記第4のゲート絶縁膜を含む第1のゲート絶縁膜が最も厚く、第2のゲート絶縁膜が最も薄くなっていることを特徴とするゲート絶縁膜及びゲート電極が形成された。

【0114】なお、前記第1、第2、第3及び第4のドライエッチングにおいて、第1及び第2のドライエッチングは同一チャンパーで条件を変更することにより連続的に処理すればよく、第3及び第4のドライエッチングについても同一チャンパーで条件を変更することにより連続的に処理すればよい。

【0115】上記第4のドライエッチングが終了したら第4のドライエッチングにより変形し第4の形状となったマスク307Dを除去す。ここでは、RIE方式のドライエッチング装置を用いてO₂ガスプラズマによりマスク307Dを除去した。

【0116】次に第4の形状のゲート電極をマスクに用いて第2のドーピングを行い半導体層303に自己整合的にLDD領域となるn型半導体層を形成する。(図3(E))ここでも便宜上、前記第1～第4のゲート絶縁膜における4つの領域に対応して、半導体層303にも領域を指定する。

【0117】第1のゲート絶縁膜の領域と重なる半導体層を第1の半導体層313とし、第3のゲート絶縁膜の領域と重なる半導体層を第3の半導体層314とし、第4のゲート絶縁膜の領域と重なる半導体層を第4の半導体層315とする。ここで第4の半導体層315はチャネル領域となり、半導体素子がonの時に電流が流れる領域である。

【0118】ただしソース領域あるいはドレイン領域308は第2のゲート絶縁膜に一致するので第2の半導体層308としてそのまま用いる。

【0119】この時、ゲート電極305D及び第1のゲート絶縁膜309を透って不純物が第1の半導体層313にドーピングされるようにすることが重要である。

【0120】ドーパントにリンを用いて、ドーピング条件をドーパ量 3.5×10^{12} atoms/cm²、加速電圧を90kVとすることで第1の半導体層313及び第3の半導体層314に第1のドーピングで形成したソース領域あるいはドレイン領域308よりも不純物濃度が低いn型のLDD領域を形成する。

【0121】前記LDD領域において第1の半導体層313はゲート絶縁膜309を挟んでゲート電極305D

と重なっているためL_{ov}領域となる。

【0122】第2のドーピングにより半導体層313から315及び308はそれぞれ不純物濃度の異なる半導体層となり、その不純物濃度はソース領域及びドレイン領域308における値が1番高く、チャネル領域315における値が1番低く、L_{off}領域314における値に比べL_{ov}領域313における値の方が低いことを特徴とする。

【0123】L_{off}領域に比べL_{ov}領域の不純物濃度が低くなるのは、L_{off}領域314及びL_{ov}領域313それぞれの上層に位置する膜及びそれらの膜厚差が異なるからである。半導体層上に形成された膜を突き抜けて半導体層上に不純物をドーピングする場合、半導体層上の膜厚や膜質が異なるため半導体層に到達する不純物量が異なり、半導体層の不純物濃度が異なってくる。

【0124】L_{off}領域314の上層には、前記第1の厚さから第2の厚さへと変化する第3のゲート絶縁膜311が形成されている。

【0125】一方、L_{ov}領域313の上層には前記第1の厚さを有する第1のゲート絶縁膜309が形成されており、前記第1のゲート絶縁膜上には第4の形状のゲート電極305Dが形成されている。

【0126】この為、不純物元素のドーピングを行った時、L_{off}領域に比べL_{ov}領域の不純物の到達量は少なくなり、L_{off}領域に比べL_{ov}領域の不純物濃度が低くなる。

【0127】上記本実施の形態ではゲート電極を2層とし、ゲート電極(W膜)の端部に26°～70°のテーパ形状を形成すること、及びゲート電極(Ta_n膜)に対して選択的にゲート電極(W膜)をエッチングすることとを特徴としてゲート電極を自在に加工した。そして前記ゲート電極をマスクに用いて不純物をドーピングすることで、自己整合的に島状の半導体層にソース領域、ドレイン領域、L_{ov}領域及びL_{off}領域を形成し、GOLD構造のn型の半導体装置を形成することができた。

【0128】また、上記本実施の形態でゲート電極をマスクに用いて自己整合的にL_{off}領域及びL_{ov}領域を有するLDD領域を形成したが、実際に半導体装置を作製する際にはそれらのチャネル長方向の長さ(以降簡単にLDD長、L_{off}長及びL_{ov}長と呼ぶ)が半導体装置の特性に影響してくる。そして、その半導体装置の使用目的により前記LDD長、L_{off}長及びL_{ov}長の最適な長さは異なる。製造プロセスごとに前記LDD長、L_{off}長及びL_{ov}長の長さを制御できることが要求される。

【0129】ここで再び図3を用いてLDD領域、L_{off}領域及びL_{ov}領域が形成される仕組みを説明する。

【0130】図3(B)より、LDD長は第2のドライエッチングにより形成された第2の形状を有するゲート電極305B及び306Bのレジストの外側に位置するテーパ部のチャネル長方向成分の長さ一致し、図3

(C)より、 L_{off} 長は第3のドライエッチングによりゲート電極305Bがチャネル長方向にエッチングされた長さに一致し、また図3(C)より、 L_{ov} 長は第4のドライエッチングによりゲート電極306Bのみが選択的にエッチングされ、チャネル長方向にエッチングされた長さに一致する。

【0131】つまりLDD長を制御するには第1及び第2のドライエッチングにより得られるゲート電極のテーパー部の角度を制御すればよく、 L_{off} 長を制御するには第3のドライエッチングによるゲート電極(TiN膜)のエッチング量すなわちエッチング時間を制御すればよく、 L_{ov} 長を制御するには第4のドライエッチングによるゲート電極(W膜)のエッチング量すなわちエッチング時間を制御すればよい。

【0132】そこで第1及び第2のドライエッチングにより得られるゲート電極のテーパー角度を 26° として、第3及び第4のドライエッチングにおけるエッチング時間を振り分けた場合の L_{off} 長及び L_{ov} 長を測定し、表3にまとめた。

【0133】

【表3】

| エッチング時間と L_{off} 長及び L_{ov} 長 | | | | |
|-----------------------------------|--|-----|-----|-----|
| サンプル名 | | A | B | C |
| 第3のエッチング時間(sec) | | 40 | 50 | 60 |
| 第4のエッチング時間(sec) | | 40 | 30 | 20 |
| L_{off} (nm) | | 180 | 320 | 480 |
| L_{ov} (nm) | | 780 | 620 | 420 |
| LDD長(nm) | | 960 | 940 | 900 |

【0134】なお、ここでの第1の導電膜からなるゲート電極及び第2の導電膜からなるゲート電極の膜厚の合計は400nmで、LDD領域長は820nm程度となるが、実際には第3及び第4のドライエッチングによるレジストマスクのチャネル長方向へのエッチングによって、さらに100nm程度長くなる。

【0135】第3及び第4のエッチング時間を合計80secとして3条件にて L_{off} 長及び L_{ov} 長の評価を行ったところ第3のエッチング時間を増加し第4のエッチング時間を減少させることで、 L_{off} 長は長くなり、 L_{ov} 長が短くなることが確認できた。 L_{off} 長及び L_{ov} 長はLDD長を最大とし、第3及び第4のドライエッチングによりそれらの長さを自在に制御できることを見出した。

【0136】(実施例)

【実施例1】本実施例では本発明の技術を用いて5枚のマスク枚数にてn型及びp型半導体層を有し、TFTを作製し、反射型の液晶ディスプレイを製造する工程を詳しく説明する。

【0137】本実施例ではバリウムホウケイ酸ガラスやアルミホウケイ酸ガラスに属するコーニング社の#1737ガラス基板501を用いた。他にも石英基板やシリコンウエハー、あるいは耐熱性のあるプラスチック基

板を用いても良い。

【0138】基板501のTFTを作製する面に下地膜502を成膜する。これは基板501からの不純物の拡散を防ぐもので、酸化シリコン膜、窒化シリコン膜や酸化窒化シリコン膜などシリコンを主成分とした絶縁性を有する膜であれば良い。プラズマCVDもしくはスパッタ法にてこれら絶縁膜から1種もしくは2種類以上を選択し、必要に応じて積層して成膜すれば良い。本実施例では下地膜は2層構造とした。

【0139】1層目の絶縁膜502aをプラズマCVD法により、 SiH_4 、 NH_3 、及び N_2O を反応ガスとして成膜される酸化窒化シリコン膜を10~200nm(好ましくは50~100nm)形成する。本実施例では1層目の下地膜502aを酸化窒化シリコン膜(組成比 $\text{Si}=3\%$ 、 $\text{O}=27\%$ 、 $\text{N}=24\%$ 、 $\text{H}=17\%$)とし、50nm成膜した。

【0140】次に、2層目の下地膜502bを成膜する。プラズマCVD法により SiH_4 及び N_2O を反応ガスとして成膜される酸化窒化シリコン膜502bを50~200nm(好ましくは100から150nm)の厚さに積層形成する。本実施例では膜厚100nmの酸化窒化シリコン膜502b(組成比 $\text{Si}=3\%$ 、 $\text{O}=59\%$ 、 $\text{N}=7\%$ 、 $\text{H}=2\%$)を形成した。

【0141】続けて、下地膜502cに半導体層503~507を成膜する。半導体層503~507はプラズマCVD法、スパッタ法など公知の手段により成膜した後レーザー結晶化や熱結晶化など公知の結晶化法を用いることにより非晶質層を結晶化し、バクーニグ工程を経て島状の半導体層を形成する。半導体層は25~80nm(好ましくは30~60nm)の厚さで形成する。このとき半導体の材料にはシリコンやシリコンゲルマニウムなどの合金などで形成されるのが良い。

【0142】本実施例では、プラズマCVD法により非晶質シリコン膜を55nm成膜した後、ニッケルを含む溶液を非晶質シリコン膜上に保持させた。この非晶質シリコン膜を500℃に加熱した炉にて1時間熱処理し脱水素化を行い、その後炉の温度を上昇し、50℃にて4時間熱結晶化を行う。さらに結晶化を促すためレーザーアニール処理を行って結晶質シリコン膜を形成した。

【0143】また、非晶質シリコン膜を形成する際、1層目の下地膜502aと2層目の下地膜502bと半導体層503~507の界面に不純物などによる汚染を防ぐために下地膜502bと同一チャンプーまたは真空排気された予備室を経由して別のチャンバーにて大気に曝すことなく連続で成膜することが望ましい。

【0144】この結晶質シリコン膜をフォトリソグラフィにより必要な部分をマスクし、ドライエッチングにて島状の半導体層503~507を形成した。ドライエッチングには CF_4 をはじめとするフッ素系ガス及び O_2 をプロセスガスに用いることでフォトリソと一揃に

結晶質シリコン膜をエッチングすることで結晶質シリコン膜からなる半導体層の端部がテーパ形状となり、その後のゲート絶縁膜及び層間絶縁膜の成膜におけるカブレッジが良好になる。本実施例ではRIE装置を用い、エッチングチャンパー圧力13.3Pa、RF電力500Wとし、プロセスガスに $O_2=45\text{ sccm}$ 、 $CF_4=50\text{ sccm}$ 流入することで結晶質シリコン膜をエッチングし、端部にテーパ角度 $22\sim 38^\circ$ のテーパ形状を有する結晶質シリコン膜からなる半導体層503～507を形成した。

【0145】半導体層503～507においてはTFETの閾値制御のため、チャネル領域に微量な不純物元素（ボロンなど15族原子またはリンなどの15族原子）を追加しても良い。本実施例では半導体層503～507の全面にボロンをドーズ量 $5\times 10^{13}\text{ atoms/cm}^2$ 、加速電圧を30kVの条件でドーピングを行った。

【0146】ゲート絶縁膜508は半導体層503～507を覆うようにして絶縁膜上に形成される。ゲート絶縁膜508はプラズマCVD法またはスパッタ法など公知の方法を用いて、40～150nmの厚さで形成する。ゲート絶縁膜の材料にはシリコンを主体とした酸化膜及び窒化膜、またはタンタルやアルミなど金属の酸化膜を用いる。本実施例では、プラズマCVD法により115nmの厚さの酸化窒化シリコン膜（組成比Si=32%、O=59%、N=7%、H=2%）で形成した。また、本実施例においてはゲート絶縁膜508を単層にて形成したがシリコンを主体とした絶縁膜またはタンタルやアルミなど金属の酸化膜などから選ばれた材質を2層以上積層した構造としても良い。

【0147】また、酸化シリコン膜を用いる場合、プラズマCVD法によりTEOS (Tetraethyl Orthosilicate) と O_2 とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波（13.56MHz）電力密度0.5～0.8W/cm²で放電させて形成させることができる。このようにして作製される酸化シリコン膜は、その後400～500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0148】次に、ゲート絶縁膜508上に第1の導電膜509と、第2の導電膜510を形成する。各導電膜は低抵抗率かつ耐熱性を有する材質であることが好ましく、タングステン、タンタル、チタン、モリブデン、銀、銅等から選ばれた元素あるいは前記元素を成分とする窒化物、あるいは前記元素を組み合わせた合金から形成する。

【0149】前記第1の導電膜509及び第2の導電膜510は、後の工程によりゲート電極及びゲート配線として機能する。本発明はゲート電極を2層にすることを特徴としており、下層の第1の導電膜509からなるゲート電極は20～100nmの膜厚を有し、上層の第2の導電膜510からなるゲート電極は100～400nm

の膜厚を有しているゲート電極である。

【0150】本実施例では、第1の導電膜にTa₂Nを選び、スパッタ法にて30nm成膜した。第2の導電膜510は第1の導電膜509を成膜した装置と同じ装置にて成膜されることが望ましく、一つの成膜チャンパー内に複数のターゲットを有している装置、あるいは複数の成膜チャンパーを有している装置で連続的に成膜することが望ましい。同一装置にて大気中に曝されることなく連続して成膜されることにより第1の導電膜と第2の導電膜との界面に不純物による汚染が生じないようにするためである。

【0151】第2の導電膜510にはタングステン（W）を選び、同様にスパッタ法にて370nm成膜した。タングステンはプラズマCVD法により成膜することもできる。ただしゲート電極として使用するにはW膜の抵抗率が $20\mu\Omega\text{ cm}$ 以下にすることが望ましい。本実施例では純度99.9999%または99.99%のタングステンターゲットを使用しながら成膜時に気相中からの不純物の混入がないように十分配慮して成膜したことにより、抵抗率 $9\sim 20\mu\Omega\text{ cm}$ を実現することができた。

【0152】次に、フォトリソグラフィによるレジストマスクを用いて前記第1の導電膜及び第2の導電膜をドライエッチングしてゲート電極及びゲート配線を形成する。第2の導電膜上にレジストマスク511～517を形成する。

【0153】本実施例において、ゲート電極のドライエッチングにはICP (Inductively Coupled Plasma) 方式のプラズマ発生源を搭載するドライエッチング装置を用いた。ここでは、図3と図5、図6を対応させながら説明する。図3には各ドライエッチング後のゲート電極305、ゲート電極306、及びゲート絶縁膜304、フォトリソ307を詳細に示す。第1のドライエッチング工程では前記第2の導電膜306Aを選択的にエッチングし、第1の形状を有するゲート電極305A及びゲート配線、ゲート電極306A及びゲート配線を形成する。ここで図3にはゲート電極のみを図示し、ゲート配線に関しては図示しない。

【0154】本実施例では、ドライエッチング条件をICP電力を500W、バイアス電力を150W、エッチングチャンパー圧力を1.0Paとし、プロセスガスに C_2F_6 、 CF_4 及び O_2 を用いた。ガス流量はそれぞれ $C_2F_6=25\text{ sccm}$ 、 $CF_4=25\text{ sccm}$ 、 $O_2=10\text{ sccm}$ とした。

【0155】また、ここでは、第2の導電膜であるタングステンを選択的にエッチングし、その端部にはテーパ角度約 23° のテーパ形状を形成する。プロセスガスに O_2 が入っていることでタングステンのエッチングレートが上昇しTa₂N膜のエッチングレートが減少するためゲート電極（W膜）が選択的にエッチングされ、バ

イアス電力を150Wに設定することでテーパ角度の小さいゲート電極が形成される結果となる。

【0156】また、第1のドライエッチングはエッチングガスに Cl_2 、 BCl_3 、 $SiCl_4$ 、 CCl_4 などの塩素系ガス、 CF_4 、 SF_6 、 NF_3 などのフッ素系ガス及び O_2 から選ばれたガス、またはこれらを主成分とする混合ガスを用いても良い。

【0157】ゲート電極305Aはゲート電極306Aのオーバーエッチングにより13~14nm程度エッチングされるだけで基板全面に残っているためその下層に位置するゲート絶縁膜はエッチングされずに304Aに示した形状を有している。

【0158】続けて第2のドライエッチング工程を行う。フォトリソによるマスクは第1のエッチングにより第1の形状307Aとなっている。このフォトリソ307Aは除去しないでそのまま用いる。また、エッチングにおいては条件を切り替えて同じ装置、同じチャンバーにて処理を行えば良い。

【0159】ドライエッチングにおけるプロセスガス及びプロセス条件の変更により前記ゲート電極(TaN膜)及びゲート電極(W膜)を同時にエッチングし、第2の形状を有するゲート電極305B及びゲート電極306Bを形成する。本実施例ではICP電力を500W、バイアス電力を20W、エッチングチャンバー圧力を1.0Paとし、プロセスガスに Cl_2 及び CF_4 を用いた。ガス流量はそれぞれ Cl_2 を30sccm、 CF_4 を30sccmとした。

【0160】バイアス電力を第1のドライエッチング工程より小さくすることでゲート電極端部のテーパ角度が大きくなり、ゲート電極の幅は細くなる。さらにプロセスガスにおいて O_2 が含まれていない条件であることからタングステンおよびTa-N膜は同時にエッチングされ、第2の形状を有するゲート電極305B及びゲート電極306Bが形成する。このときゲート絶縁膜304Aは第2のドライエッチング時に13.8~25.8nm程度エッチングされ、第2の形状のゲート絶縁膜304Bとなっている。

【0161】また、第2のドライエッチングはエッチングガスに Cl_2 、 BCl_3 、 $SiCl_4$ 、 CCl_4 などの塩素系ガス、 CF_4 、 SF_6 、 NF_3 などのフッ素系ガス及び O_2 から選ばれたガス、またはこれらを主成分とする混合ガスを用いても良い。

【0162】第2の形状のゲート電極においてテーパ部とゲート絶縁膜を挟んで重なる半導体層は後の第3のドーピングを行うことによりLDD領域となる。本実施例ではゲート電極の膜厚が400nmでテーパ角度が約26°であるので、LDD領域の長さは820nmとレジストマスクのチャネル長方向へのエッチング量約100nmを合わせた長さとなる。

【0163】第2のドライエッチングによりレジストマ

スクは第2の形状307Bとなっている。このレジストマスク307Bを除去せずに続く第2のドーピング工程を行い、n型半導体層を形成する。第2の形状のゲート電極をマスクにソース領域あるいはドレイン領域にn型を付与する不純物元素(リンやヒ素に代表されるような15族の元素)をドーピングする。

【0164】本実施例ではリンをドーズ量 1.5×10^{15} atoms/cm²、加速電圧を80kVとしてドーピングすることで自己整合的にソース領域あるいはドレイン領域208~211に $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm²の不純物領域を形成した。(図3(A))

【0165】なお、図3(A)が図5(B)と対応しており、第2の形状を有するゲート電極305Bが518~524に対応し、ゲート電極306Bが525~531に対応している。ただし、521、524、528、531はゲート電極ではない。また、ソース領域あるいはドレイン領域208~211は、532~536に対応している。ただし、536はソース領域、ドレイン領域ではない。

【0166】次にレジストマスクを除去せずに第3のドライエッチング工程を行う。第3のドライエッチング工程では前記第2の形状のゲート電極305B及びゲート電極306Bの両方をエッチングして、さらに第2の形状ではテーパ角度26°程度あったテーパ部をより大きな角度になるようにエッチングして第3の形状のゲート電極305C及びゲート電極306Cを形成する。

【0167】ゲート絶縁膜を挟んで第3の形状のゲート電極305Cと重ならない第2の形状のゲート電極305Bと重なる半導体層314は後の第3のドーピング工程により L_{off} 領域となる。第3のドライエッチング時間によって前記ゲート電極305Cのチャネル長方向へのエッチング量を制御し、 L_{off} 領域の長さを制御する。

【0168】エッチング装置は再びICP方式ドライエッチング装置を用いる。エッチング条件はICP電力を500W、バイアス電力を20W、エッチングチャンバー圧力を1.0Paとした。ガスは Cl_2 及び CF_4 を用いた。ガス流量はそれぞれ Cl_2 を30sccm、 CF_4 を30sccmとした。第2の形状を有するゲート電極305B、306Bをエッチングして、上記のように第3の形状を有するゲート電極305C、306Cを形成する。この時、実質的に L_{off} 長となるゲート電極305Cのチャネル長方向へのエッチング量が480nmとなるようにエッチング時間を調整した。

【0169】また、第3のドライエッチングはエッチングガスに Cl_2 、 BCl_3 、 $SiCl_4$ 、 CCl_4 などの塩素系ガス、 CF_4 、 SF_6 、 NF_3 などのフッ素系ガス及び O_2 から選ばれたガス、またはこれらを主成分とする混合ガスを用いても良い。

【0170】第3のエッチングにより前記ゲート電極3

0.5℃と重ならないゲート絶縁膜はエッチングされ、第3の形状のゲート絶縁膜304Cとなる。

【0171】続けて第4のドライエッチング工程を行う。レジストマスクは第3のエッチングにより第3の形状307Cとなっている。このレジストマスク307Cは除去しないでそのまま用いる。エッチング条件を切り替えて同じ装置、同じチャンパーにて処理を行えばよい。第4のエッチングでは再びゲート電極306Cを選択的にエッチングする。ゲート電極305Cがエッチングされないような条件で処理することでゲート電極305Cのほうがゲート電極306Cに比べチャネル長方向に長い形状を得る。

【0172】また、第3のエッチングにより得られる第4の形状のゲート電極において、ゲート絶縁膜を挟んでゲート電極(W膜)とは重ならないゲート電極(TaN膜)と重なる半導体層313は後の第3のドーピングにより L_{off} 領域となる。

【0173】 L_{on} 領域はLDD領域の長さから第3のドライエッチングにより決定した L_{off} の長さを引いた長さで形成される。

【0174】本実施例では、ICP電力を500W、バイアス電力を20W、エッチングチャンパー圧力を1.0Paとした。ガスは Cl_2 、 CF_4 及び O_2 を用いた。ガス流量はそれぞれ Cl_2 を25sccm、 CF_4 を25sccm、 O_2 を10sccmとした。第3の形状のゲート電極(W膜)を選択的にエッチングし、端部のテーパー角度をさらに大きくすることで第3の形状のゲート電極306Cよりも幅が細い第4の形状を有するゲート電極306Dを形成した。

【0175】また、ゲート電極(TaN膜)は約7nm程度しかエッチングされず、第3の形状のゲート電極305Cとはほぼ同じ幅の第4の形状のゲート電極305Dが形成される。

【0176】第4の形状のゲート電極305Dは、ゲート電極306Dに比べゲート電極の片側だけで評価した場合、420nm(ゲート全体では840nm)長い形状となり本実施例では420nmの L_{on} 領域313を確保した。

【0177】また、第4のドライエッチングはエッチングガスに Cl_2 、 BCl_3 、 $SiCl_4$ 、 CCl_4 などの塩素系ガス、 CF_4 、 SF_6 、 NF_3 などのフッ素系ガス及び O_2 から選ばれたガス、またはこれらを主成分とする混合ガスを用いてもよい。

【0178】なお、図3(D)が図5(C)と対応しており、第4の形状を有するゲート電極305Dが538~544に対応し、ゲート電極306Dが545~551に対応している。ただし、541、544、548、551はゲート電極ではない。

【0179】第4のドライエッチング終了後、フォトリソトにより形成されたマスク307Dを除去する。O

$_2$ アッシング、 H_2O アッシング、または O_2 、 H_2O の混合ガスによるアッシング、あるいは前記アッシングガスに窒素あるいは CF_4 などのフッ素系ガスを添加したアッシング処理、あるいは薬液での除去など公知の方法により除去すればよい。本実施例では、RIE方式のドライエッチング装置を用いて O_2 アッシングによりマスク307Dを除去した。

【0180】次に、LDD領域を形成するための第3のドーピング工程を行う。(図3(E))前記第4の形状のゲート電極306Dをマスクに用いて半導体層313及び314に前記ソース領域及びドレイン領域に比べ不純物濃度の低いn型半導体層を形成する。半導体層313ではゲート電極305D及びゲート絶縁膜309を突き抜けて L_{on} 領域半導体層に不純物を注入する為、ドーピングの条件は低濃度かつ高い加速電圧で行う。

【0181】本実施例では、ドーパ量を 3.5×10^{12} atoms/cm²、加速電圧を90kVとすることで L_{off} 領域314及び L_{on} 領域313を形成した。

【0182】なお、本実施例では第4のゲート電極エッチング後にレジストマスク307Dを除去したが、第3のドーピング後に行っても問題はない。

【0183】なお、図3(E)が図6(A)と対応しており、 L_{off} 領域314が57~561に対応し、 L_{on} 領域313が562~566に対応している。ただし、556、561、566は L_{on} 領域や L_{off} 領域として機能しない。

【0184】続けて、n型半導体として機能する素子を覆うように新たにフォトリソトからなるマスク567を形成し第4のドーピング工程によりp型の半導体素子を形成する。(図6(B))その後p型半導体を寄与する元素をドーピングすることでp型半導体層570~575を形成する。

【0185】このとき、前記半導体素子570~575にはn型を寄与する不純物が添加されているが、p型を付与する不純物の濃度を $2 \times 10^{20} \sim 2 \times 10^{21}$ atoms/cm³となるようにドーピングすることでp型半導体素子として機能する上で問題は生じない。

【0186】本実施例ではボロンをドーパ量 3×10^{15} atoms/cm³、加速電圧を20~30kVとすることでp型半導体素子570~575を形成した。

【0187】フォトリソトマスク576を除去した後、基板全面に第1の層間絶縁膜576を形成する。本工程ではプラズマCVD法により酸化窒化シリコンを150nm成膜したが、勿論スパッタなど他の方法を用いても良いし、酸化窒化シリコン膜に限らずシリコンを主成分とする絶縁膜であればよい。またシリコンを主成分とした絶縁膜において単層でも2種類以上の積層膜でも問題はない。

【0188】次に、半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程はファーン

スアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が1ppm以下、好ましくは0.1ppm以下の酸素雰囲気中で400~700℃、代表的には500~550℃で行えばよく、本実施例では550℃、4時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザーアニール法、またはラビッドサーマルアニール法(RTA法)を適用することができる。

【0189】なお、この活性化工程は前記第1の層間絶縁膜576の成膜前に行っても良いが、ここでは熱を加える工程となるのでゲート電極に用いた材料が熱に弱い物質の場合はあらかじめシリコンなどを主成分とする酸化シリコン膜、窒化シリコン膜及び酸化窒化シリコン膜などを保護膜として形成するか、本実施例のように第1の層間膜を保護膜としても機能させておく事が望ましい。

【0190】その後、3~100%の水素雰囲気中、300~550℃で1~12時間の熱処理を行い、半導体層を水素化する工程を行う。

【0191】本実施例では、H₂100%、350℃雰囲気中で1時間の水素化を行った。なお、この水素化は水素プラズマ雰囲気中にて行われてもよい。

【0192】次に、第1の層間絶縁膜576上にスピンドーピングにて形成可能なアクリルやポリイミドなどを代表とする有機樹脂膜からなる第2の層間絶縁膜578を形成する。第2の層間絶縁膜をスピンドーピングにて形成することで半導体装置が形成された基板の平坦化も目的としている。

【0193】本実施例では膜厚1600nmのアクリルを形成した。

【0194】その後、前記ソース領域、ドレイン領域あるいはゲート配線上に位置する前記ゲート絶縁膜537、第1の層間絶縁膜576及び第2の層間絶縁膜578をエッチングして中間配線579~588と接続するためのコンタクトホールを形成する。このとき各絶縁膜のエッチング方法はそれぞれの膜に合わせ中間配線の成膜におけるカバレージを良好にするためにテーパー角度45~80°のテーパー形状が得られるようにエッチングすればよく、例えばアクリルや、ポリイミドなどの有機樹脂膜及び第1の層間絶縁膜に用いられた酸化窒化シリコンなどはC₄F₈およびO₂などの混合ガスを用いればエッチングが可能である。しかし、半導体層上に形成されているゲート絶縁膜をエッチングするには半導体層に対し高い選択比が取れる条件にて処理しなくてはならない。半導体層シリコンに対しゲート絶縁膜である酸化窒化シリコンを選択的にエッチングするガスにはCH₃F₃、C₄F₈などがある。なお、CH₃F₃、C₄F₈もフッ素系ガスと言えるが、シリコンとの選択比が高いガスであり、本明細書中で呼んでいるフッ素系ガスとは使用用途が異なるため、本明細書中ではフッ素系ガスに

含めないものとする。

【0195】本実施例では、RIE装置にてガスはCF₄、He、O₂を用いて、チャンバー圧力を6.67Pa、RF電力を500Wとして、ガス流量はそれぞれCF₄を5sccm、Heを40sccm、O₂を95sccmとして、第2の層間絶縁膜のアクリルをエッチングし、同じくRIE装置にてガスはCF₄、He、O₂を用いて、チャンバー圧力を4.0Pa、RF電力を300Wとして、ガス流量はそれぞれCF₄を50sccm、Heを35sccm、O₂を50sccmとして、第1の層間絶縁膜の酸化窒化シリコンをエッチングし、同じくRIE装置にてガスはCH₃F₃を用いて、チャンバー圧力を7.3Pa、RF電力を800W、ガスはCH₃F₃を35sccm流入して、半導体層に対してゲート絶縁膜の酸化窒化シリコンを選択的にエッチングした。

【0196】続いて、中間配線579~588を形成する。前記中間配線は画素電極及び反射電極としても機能するため反射率の高い金属材料を用いることが望ましく、本実施例ではTi及びAlとTiの合金膜を積層して形成した。スパッタ法を用いて、Ti膜厚を50nm成膜し、続いてAlとTiの合金膜を500nm連続成膜して積層構造とした。

【0197】フォトリソを用いるマスク形成後、塩素又は塩素を成分に含むガスを用いて前記中間配線をドライエッチングする。本実施例ではエッチングガスに塩素及び三塩化ホウ素を同じ割合で混合したガスを用いてドライエッチングし、中間配線579~588を形成した。

【0198】以上の様にして、nチャネル型TFT601、pチャネル型TFT602、nチャネル型TFT603を有する駆動回路606と、画素TFT604、保持容量605とを有する画素部607を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【0199】次に、図8を用いて図7に示したアクティブマトリクス基板を適用した反射型アクティブマトリクス液晶表示装置の作製方法を説明する。

【0200】まず、アクティブマトリクス上に樹脂膜をパターンニングして得られる柱状のスペーサ589を形成する。またスペーサの配置は任意に決定すればよい。なお、スペーサは数μmの粒子を散布して設ける方法でもよい。

【0201】次に、アクティブマトリクス基板の画素部に液晶を配向させるためのポリイミド樹脂等からなる配向膜590を設ける。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。

【0202】次に、対向基板591を用意する。対向基板には遮光膜592、透明電極593、及び配向膜59

4を形成する。遮光膜592はTi膜、Cr膜、Al膜などを150～300nmの厚さで形成する。

【0203】また、配向膜594にはラビング処理が施されている。そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤595で貼り合わせる。

【0204】その後、両基板の間に液晶材料596を注入する。液晶材料には公知の液晶材料を用いればよい。例えばTN液晶の他に磁場に対して透過率が連続的に変化する電気光学応答性を示す無閾値反強誘電性混合液晶を用いることもできる。この無閾値反強誘電性混合液晶にはV字型の電気光学応答特性を示すものもある。液晶596を注入したら封止剤で完全に封止する。

【0205】この様にして図8に示す反射型のアクティブマトリクス型液晶表示装置が完成する。

【0206】[実施例2]本実施例では、実施例1において、ドライエッチングにてゲート電極を形成する際に、エッチングガスに SF_6 を用いてゲート絶縁膜に対し、より高い選択比を得る方法を図3を用いて説明する。なお本実施例では、ゲート電極を成膜する工程まで及びゲート電極形成後の第3のドーピング以降の工程は実施例1とまったく同じなので表記しない。

【0207】実施例1に従って形成された積層構造の第1の導電膜305及び第2の導電膜306をフォトリソグラフィによるレジストマスク307を用いてドライエッチングする。なお、実施例1と同様に第1の導電膜にはTa_nN膜を、第2の導電膜にはW膜を用いた。

【0208】本実施例においてゲート電極のドライエッチングにはICP (Inductively Coupled Plasma) 方式のプラズマ発生源を搭載するドライエッチング装置を用いた。

【0209】第1のドライエッチングではICP電力を500W、バイアス電力を150W、エッチングチャンパー圧力を1.0Paとし、プロセスガスに Cl_2 、 CF_4 及び O_2 を用いた。ガス流量はそれぞれ Cl_2 を25sccm、 CF_4 を25sccm、 O_2 を10sccmとした。

【0210】第2の導電膜であるタングステンを選択的にエッチングし、その端部にはテーパー角度約23°のテーパー形状を形成する。プロセスガスに O_2 が入っていることでタングステンのエッチングレートが上昇しTa_nN膜のエッチングレートが減少するためゲート電極(W膜)が選択的にエッチングされる。また、バイアス電力を150Wに設定することでテーパー角度の小さいゲート電極が形成される結果となる。

【0211】ゲート電極305Aはゲート電極(W膜)のオーバーエッチングにより13～14nm程度エッチングされるだけで基板全面に残っているためその下層に位置するゲート絶縁膜はエッチングされずに304Aの形状を有している。

【0212】なお、第1のドライエッチングにおいてはエッチングガスに Cl_2 、 SF_6 、 O_2 を用いてもよい。

【0213】続けて第2のドライエッチング工程を行う。フォトリソによるマスクは第1のエッチングにより第1の形状の307Aとなっている。このフォトリソマスク307Aは除去しないでそのまま用いる。また、エッチングにおいては条件を切り替えて同じ装置、同じチャンパーにて処理を行えばよい。

【0214】ドライエッチングにおけるプロセスガス及びプロセス条件の変更により前記ゲート電極(Ta_nN膜)及びゲート電極(W膜)を同時にエッチングし、第2の形状を有するゲート電極305B及びゲート電極306Bを形成する。本実施例ではICP電力を500W、バイアス電力を10W、エッチングチャンパー圧力を1.3Paとし、プロセスガスに Cl_2 及び SF_6 を用いた。ガス流量はそれぞれ Cl_2 を10sccm、 SF_6 を50sccmとした。

【0215】バイアス電力を第1のドライエッチング工程よりも小さくすることでゲート電極端部のテーパー角度が大きくなり、ゲートの幅は細くなる。また、このときのW膜のエッチングレートは104nm/min、Ta_nN膜のエッチングレートは111nm/minであり、ほとんど同じ速さでエッチングされる。第2の形状を有するゲート電極305B及びゲート電極306Bが形成される。

【0216】このとき、第1のドライエッチングで残っていたTa_nN膜は約8秒でエッチングされる。その後、Ta_nN膜のエッチング残渣を完全に除去する為に15秒程度のオーバーエッチングを行う。前記オーバーエッチングにより、Ta_nN膜の下層に位置するゲート絶縁膜は3.2nm程度エッチングされ、第2の形状のゲート絶縁膜304Bとなる。

【0217】第2の形状のゲート電極においてテーパー部とゲート絶縁膜を挟んで重なる半導体層は後の第3のドーピングを行うことによりLDD領域となる。本実施例ではゲート電極の膜厚が400nmでテーパー角度が約26°であるので、LDD領域の長さは820nmとレジストマスクのチャネル長方向へのエッチング量約100nmを合わせた長さとなる。

【0218】第2のドライエッチングによりレジストマスクは第2の形状307Bとなっている。このレジストマスク307Bを除去せずに続く第2のドーピング工程を行い、n型半導体層を形成する。第2の形状のゲート電極をマスクにソース領域あるいはドレイン領域にn型を付与する不純物元素(リンやヒ素に代表されるような15族の元素)をドーピングする。

【0219】本実施例ではリンをドーピング量1.5×10¹⁵atoms/cm²、加速電圧を80kVとしてドーピングすることで自己整合的にソース領域あるいはドレイン領域208～211に1×10²⁰～1×10²¹atoms/cm²の

不純物領域を形成した。

【0220】次にレジストマスクを除去せずに第3のドライエッチング工程を行う。第3のドライエッチング工程では前記第2の形状のゲート電極305B及びゲート電極306Bの両方をエッチングして、さらに第2の形状ではテーパー角度 26° 程度あったテーパー部をより大きな角度になるようにエッチングして第3の形状のゲート電極305C及びゲート電極306Cを形成する。

【0221】ゲート絶縁膜を挟んで第3の形状のゲート電極305Cと重ならない第2の形状のゲート電極305Bと重なる半導体層314は後の第3のドーピング工程により L_{off} 領域となる。第3のドライエッチング時間から前記ゲート電極(TaN膜)のチャネル長方向へのエッチング量を制御し、 L_{off} 領域の長さを制御する。

【0222】エッチング装置は再びICP方式ドライエッチング装置を用いる。エッチング条件はICP電力を500W、バイアス電力を10W、エッチングチャンバー圧力を1.3Paとした。ガスは Cl_2 及び SF_6 を用いた。ガス流量はそれぞれ Cl_2 を10sccm、 SF_6 を50sccmとした。第2の形状を有するゲート電極(TaN膜)及びゲート電極(W膜)をエッチングして、上記のように第3の形状を有するゲート電極305C及びゲート電極306Cを形成する。この時、実質的に L_{off} 長となるゲート電極(TaN膜)のチャネル長方向へのエッチング量が480nmとなるようにエッチング時間を40秒とした。

【0223】第3のエッチングにより前記ゲート電極305Cと重ならないゲート絶縁膜は約5.8nmエッチングされ、第3の形状304Cとなる。なお、ここまでの工程でゲート絶縁膜は9.0nmエッチングされている。

【0224】続けて、第4のドライエッチング工程を行う。レジストマスクは第3のエッチングにより第3の形状の307Cとなっている。このレジストマスク307Cは除去しないのでそのまま用いる。エッチング条件を切り替えて同じ装置、同じチャンバーにて処理を行えば良い。第4のエッチングでは再びゲート電極306Cを選択的にエッチングする。ゲート電極(TaN膜)がエッチングされないような条件で処理することでゲート電極(TaN膜)のほうがゲート電極(W膜)に比べチャネル長方向に長い形状を得る。

【0225】また、第4のエッチングにより得られる第4の形状のゲート電極において、ゲート絶縁膜を挟んでゲート電極(W膜)とは重ならないゲート電極(TaN膜)と重なる半導体層313は後の第3のドーピングにより L_{on} 領域となる。

【0226】 L_{on} 領域はLDD領域の長さから第3のドライエッチングにより決定した L_{off} の長さを引いた長さで形成される。

【0227】本実施例では、ICP電力を500W、バイアス電力を20W、エッチングチャンバー圧力を1.0Paとした。ガスは Cl_2 、 SF_6 及び O_2 を用いた。ガス流量はそれぞれ Cl_2 を20sccm、 CF_4 を20sccm、 O_2 を20sccmとした。第3の形状のゲート電極を選択的にエッチングし、端部のテーパー角度をさらに大きくすることで第3の形状のゲート電極306Cよりも幅が細い第4の形状を有するゲート電極306Dを形成した。

【0228】また、ゲート電極(TaN膜)は数nm程度しかエッチングされず、第3の形状のゲート電極305Cとほぼ同じ幅の第4の形状のゲート電極305Dが形成される。

【0229】第4の形状のゲート電極305Dはゲート電極306Dに比べ片側だけで420nm(ゲート幅全体では840nm)長い形状となり本実施例では420nmの L_{on} 領域313を確保した。

【0230】第4のドライエッチングによりゲート絶縁膜は約0.5nmエッチングされる。また、第1、第2、第3及び第4のエッチングによりゲート絶縁膜がエッチングされる量は9.5nm程度である。実施例1で第1、第2、第3及び第4のエッチングによりゲート絶縁膜がエッチングされる量は最大で88nmであったが、本実施例では、エッチングガスに SF_6 を用いたためゲート絶縁膜との選択比により高くなり、ゲート絶縁膜のエッチング量を約89%減少させることができた。

【0231】第4のドライエッチング終了後、フォトリソストにより形成されたマスク307Dを除去する。 O_2 アッシング、 H_2O アッシング、または O_2 、 H_2O の混合ガスによるアッシング、あるいは前記アッシングガスに窒素あるいは CF_4 などのフッ素系ガスを添加したアッシング処理、あるいは薬液での除去など公知の方法により除去すればよい。

【0232】本実施例では、RIE方式のドライエッチング装置を用いて O_2 アッシングによりマスク307Dを除去した。

【0233】以上の方法を用いることで実施例1と同様のゲート電極の形状を形成することができ、そのときのゲート絶縁膜へのエッチング量は9.5nmに抑えることができた。

【0234】なお、本実施例では第2、第3及び第4のドライエッチングにおいて SF_6 をエッチングガスに用いたが、実施例1のように適宜 CF_4 を用いた条件にてドライエッチングを行ってよい。例えば、第1、第2及び第4のドライエッチングには CF_4 を用いた条件にてエッチングし、第3のドライエッチングのみ SF_6 を用いた条件にてエッチングするようにしても良い。

【0235】ここでは、窒化タンタルを下層とし、タングステンを上層としたゲート電極構造を例に説明したが、このゲート構造に限定されず、タングステン、タン

タル、チタン、モリブデン、銀、銅等から選ばれた元素、あるいは前記元素を成分とする窒化物、あるいは前記元素を組み合わせた合金を適宜選択して積層すればよい。

【0236】実施例3本実施例では、実施例1に従って L_{off} 領域及び L_{on} 領域を有するn型の半導体層を形成する方法で、ゲート電極のエッチングにおいて条件を実施例1とは異なる方法で処理し、またドーピングを行うタイミングを変えることで L_{off} 領域及び L_{on} 領域の不純物濃度をほぼ同等にする方法を図9を用いて説明する。

【0237】実施例1のように、ガラス基板901上に絶縁膜902、結晶構造を有する島状の半導体層903、ゲート絶縁膜904、第1の導電膜905、第2の導電膜906、を形成し、フォトリソからなるマスク907を形成する。

【0238】なお、実施例1と同様に下層のゲート電極材料にはTa₂N膜を、上層のゲート電極材料にはW膜を用いた。また、ゲート電極のドライエッチングにはICP方式のプラズマ発生源を搭載するドライエッチング装置、あるいはRIE方式のドライエッチング装置を用いた。

【0239】実施例1と同様に、第1のドライエッチングを行う。ガスは Cl_2 、 CF_4 及び O_2 を用いて、ICP電力を500W、バイアス電力を150W、エッチングチャンバー圧力を1.0Paとし、ガス流量はそれぞれ Cl_2 を25sccm、 CF_4 を25sccm、 O_2 を10sccmでエッチングする。

【0240】この時、ゲート電極(W膜)が選択的にエッチングされ、端部にはテーパ角度26°のテーパ形状が形成された第1の形状のゲート電極906Aが形成される。ゲート電極(Ta₂N膜)はゲート電極(W膜)のオーバーエッチングにより13~14nm程度エッチングされるが基板全面に残っており、第1の形状のゲート電極905Aが形成される。

【0241】また、第1のドライエッチングはエッチングガスに Cl_2 、 BCl_3 、 $SiCl_4$ 、 CCl_4 などの塩素系ガス、 CF_4 、 SF_6 、 NF_3 などのフッ素系ガス及び O_2 から選ばれたガス、またはこれらを主成分とする混合ガスを用いても良い。

【0242】この時、ゲート絶縁膜は第1の導電膜905Aが基板全面に残っているためエッチングされず、第1の形状のゲート絶縁膜904Aが形成されている。

【0243】続けて、実施例1と同様にレジストマスクを除去せずに第2のドライエッチングを行う。ガスは Cl_2 及び CF_4 を用いて、ICP電力を500W、バイアス電力を20W、エッチングチャンバー圧力を1.0Paとして、ガス流量をそれぞれ Cl_2 を30sccm、 CF_4 を30sccmとした。第1の形状のゲート電極905A及びゲート電極906Bを同時にエッチングし

て第2の形状のゲート電極905B及びゲート電極906Bを形成する。

【0244】この時、ゲート電極905Bの外側に位置するゲート絶縁膜904Aもエッチングされ、第2の形状のゲート絶縁膜904Bが形成される。

【0245】また、第2のドライエッチングはエッチングガスに Cl_2 、 BCl_3 、 $SiCl_4$ 、 CCl_4 などの塩素系ガス、 CF_4 、 SF_6 、 NF_3 などのフッ素系ガス及び O_2 から選ばれたガス、またはこれらを主成分とする混合ガスを用いても良い。

【0246】次に、実施例1と同様に第2のドーピングを行う。なお第1のドーピングは結晶質シリコン膜からなる半導体層の形成後にTFTの閾値特性を制御するためチャネル領域に行われたドーピングとする。

【0247】n型を付与する不純物をドーピングすることで半導体層908にはソース領域あるいはドレイン領域が形成される。本実施例では不純物にリンを選び、ドーザ量 1.5×10^{15} atoms/cm²、加速電圧80kVにてドーピングした。

【0248】次に、第3のドライエッチングを行う。ここでもICP方式ドライエッチング装置を用い、レジストマスクを除去せずに行う。ガスは Cl_2 、 CF_4 及び O_2 を用いて、ICP電力を500W、バイアス電力を200W、エッチングチャンバー圧力を1.0Paとして、ガス流量はそれぞれ Cl_2 を25sccm、 CF_4 を25sccm及び O_2 を10sccmとした。

【0249】実施例1において第4のドライエッチングで用いられた条件で処理することでゲート電極(W膜)が選択的にエッチングされ第1及び第2の形状で得られたテーパ形状よりも大きな角度を有する第3の形状のゲート電極906Cが形成される。

【0250】ゲート電極(Ta₂N膜)はほとんどエッチングされずに残っているが、ゲート電極(W膜)がチャネル長方向にエッチングされるにつれて露出するゲート電極(Ta₂N膜)は端部から徐々にエッチングされ、5°未満の非常に小さなテーパ角度を有する第3の形状905Cが形成される。

【0251】また、第3のドライエッチングはエッチングガスに Cl_2 、 BCl_3 、 $SiCl_4$ 、 CCl_4 などの塩素系ガス、 CF_4 、 SF_6 、 NF_3 などのフッ素系ガス及び O_2 から選ばれたガス、またはこれらを主成分とする混合ガスを用いても良い。

【0252】この時、第2の形状のゲート電極(Ta₂N膜)の外側に位置する第2の形状のゲート絶縁膜904Bはエッチングされ、第3の形状のゲート絶縁膜904Cが形成される。

【0253】次に第3のドーピングを行う。第3の形状のゲート電極906Cをマスクに用いて、ゲート電極(W膜)と重ならず、ゲート電極(Ta₂N膜)と重なる半導体層909にゲート電極905Cを突き抜けるよう

にn型を付与する不純物をドーピングする。

【0254】第3の形状のゲート電極905Cの端部は5°未満の非常に小さなテーパー角度を有しており、その膜厚は分布を持っている。前記膜厚分布に従い第3のドーピングでの半導体層の不純物濃度にもおおよそ分布が生じるが、前記実施例1の時に生じた L_{off} 領域及び L_{on} 領域の不純物濃度差より小さくなる。

【0255】本実施例ではリンを不純物に選び、ドーザ量 3.5×10^{12} atoms/cm²、加速電圧を90 kVとすることで半導体層909にはソース領域及びドレイン領域908よりも不純物濃度が低いn型のLDD領域909が形成される。

【0256】次に第4のドライエッチングを行う。第3の形状のゲート電極905Cをエッチングして第4の形状のゲート電極905Dを形成する。

【0257】第3の形状のゲート電極905Cの端部はテーパー形状を有しており、異方向にドライエッチングを行うことで第3の形状のゲート電極(Ta₂N膜)の端部から第3の形状のゲート電極906Cと重なる位置に向かって徐々にエッチングされ、第4の形状のゲート電極905Dの幅は第3の形状のゲート電極905Cよりも細い形状となる。

【0258】第3の形状のゲート電極905Cと重なっていたLDD領域909の一部は第4のドライエッチングにより第4の形状のゲート電極の外側に位置するようになる。そのため前記LDD領域909は L_{off} 領域910及び L_{on} 領域911となる。

【0259】ただし、ゲート電極(Ta₂N膜)は非常に小さなテーパー角度を有する薄膜(Ta₂N膜)のためエッチングレートが速いエッチング条件で処理するとゲート電極(Ta₂N膜)はすべてエッチングされてしまう可能性がある。

【0260】本実施例では第4のドライエッチングに平行平板型RIE方式のドライエッチング装置を用いて、チャンバー圧力を6.7 Pa、RF電力を800 Wとして、ガスはCHF₃を3.5 sccm流入してエッチングした。なお、ここではRIE方式のドライエッチング装置を用いたが特に限定されず、ICP方式のドライエッチング装置を用いてもよい。

【0261】この時第4のドライエッチングにより第3の形状のゲート電極905Cと重ならない領域のゲート絶縁膜904Cはほとんどエッチングされるが、もしすべてのゲート絶縁膜がエッチングされたとしても半導体装置を製造する上で問題はない。その理由はエッチングガスにCHF₃を用いていることから半導体層であるシリコンに対してゲート絶縁膜を選択的にエッチングが可能であること。また、中間配線と半導体層を接続するためのコンタクトホールを形成する際にも実施例1における第1の層間絶縁膜である酸化窒化シリコンをエッチングの際、CHF₃など半導体層のシリコンと選択的に

エッチングが行える条件で行えばよいからである。

【0262】また、上記のようなCHF₃によるエッチングではTa₂N膜のエッチング量が不足する場合、C₁₂及びCF₄、あるいはC₁₂、CF₄及びO₂をエッチングガスに用いて5〜20秒程度エッチングし、予めTa₂N膜をエッチングしてからCHF₃を用いてエッチングしてもよい。

【0263】第4のドライエッチングの後にフォトレジスト907を除去する。

【0264】本実施例を前記実施例1に適用することで、実施例1と同じく5枚のマスク枚数で L_{off} 領域及び L_{on} 領域を有する半導体装置を作製することができ、 L_{off} 領域と L_{on} 領域の不純物濃度が同等な半導体装置を作製することができる。

【0265】ここでは、窒化タンタルを下層とし、タンダステンを上層としたゲート電極構造を例に説明したが、このゲート構造に限定されず、タンダステン、タンタル、チタン、モリブデン、銀、銅等から選ばれた元素、あるいは前記元素を成分とする窒化物、あるいは前記元素を組み合わせた合金を適宜選択して積層すればよい。

【0266】【実施例4】本実施例では、実施例3においてドライエッチングにてゲート電極を形成する際に、エッチングガスにSF₆を用いてゲート絶縁膜に対し、より高い選択比を得る方法を図9を用いて説明する。なお、本実施例ではゲート電極を形成する工程以外は実施例3あるいは実施例1とまったく一緒なので、表記しない。

【0267】実施例3のようにガラス基板901上に絶縁膜902、結晶構造を有する島状の半導体層903、ゲート絶縁膜904、第1の導電膜905、第2の導電膜906を形成し、フォトレジストからなるマスク907を形成する。

【0268】なお、実施例3と同様に下層に設けられるゲート電極にはTa₂N膜を、上層に設けられるゲート電極にはW膜を用いた。また、実施例3と同様にゲート電極のドライエッチングにはICP方式のドライエッチング装置を用いた。

【0269】第1のドライエッチングを行う。ガスはC₁₂、CF₄及びO₂を用いて、ICP電力を500 W、バイアス電圧を150 V、エッチングチャンバー圧力を1.0 Paとし、ガス流量はそれぞれC₁₂を25 sccm、CF₄を25 sccm、O₂を10 sccmでエッチングする。

【0270】この時、ゲート電極(W膜)が選択的にエッチングされ、端部にはテーパー角度26°のテーパー形状が形成された第1の形状のゲート電極906Aが形成される。第1の導電膜(Ta₂N膜)はゲート電極(W膜)のオーバーエッチングにより13〜14 nm程度エッチングされるが基板全面に残っており、第1の導電膜

(TaN膜) 905Aが形成される。

【0271】この時、ゲート絶縁膜は第1の導電膜(TaN膜) 905Aが基板全面に残っているためエッチングされず、第1の形状のゲート絶縁膜904Aが形成されている。

【0272】なお、第1のドライエッチングにおいてはエッチングガスに Cl_2 、 SF_6 、 O_2 を用いてもよい。

【0273】続けて、レジストマスクを除去せずに第2のドライエッチングを行う。ガスは Cl_2 及び SF_6 を用いて、ICP電力を500W、バイアス電力を10W、エッチングチャンバー圧力を1.3Paとして、ガス流量をそれぞれ Cl_2 を10sccm、 SF_6 を50sccmとした。第1の導電膜905A及び第1の形状のゲート電極906Bを同時にエッチングして第2の形状のゲート電極905B及びゲート電極906Bを形成する。

【0274】この時、第1の形状のゲート電極(W膜)の外側に位置する第1の導電膜905Aは約8秒でエッチングされる。その後、Ta-N膜のエッチング残流を完全に除去する為に15秒程度のオーバーエッチングを行う。前記オーバーエッチングにより、前記ゲート電極905Aの下層に位置するゲート絶縁膜904Aは3.2nm程度エッチングされ、第2の形状のゲート絶縁膜904Bが形成される。

【0275】次に、第2のドーピングを行う。なお第1のドーピングは半導体層の形成後にTF-Tの閾値特性を制御するためチャネル領域に行われたドーピングとする。

【0276】n型を付与する不純物をドーピングすることで半導体層908にはソース領域あるいはドレイン領域が形成される。本実施例では不純物にリンを選び、ドーズ量 1.5×10^{15} atoms/cm²、加速電圧80kVにてドーピングした。

【0277】次に、第3のドライエッチングを行う。ここでもICP方式ドライエッチング装置を用い、レジストマスクを除去せずに行う。ガスは Cl_2 、 SF_6 及び O_2 を用いて、ICP電力を500W、バイアス電力を10W、エッチングチャンバー圧力を1.3Paとして、ガス流量はそれぞれ Cl_2 を20sccm、 SF_6 を20sccm及び O_2 を20sccmとした。

【0278】第1のドライエッチングよりも小さなバイアス電力で処理することで、ゲート電極(W膜)が選択的にエッチングされ第1及び第2の形状で得られたテーパー形状よりも大きな角度を有する第3の形状のゲート電極906Cが形成される。

【0279】ゲート電極(TaN膜)はほとんどエッチングされずに残っているが、ゲート電極(W膜)がチャネル長方向にエッチングされるにつれて露出するゲート電極(TaN膜)は端部から徐々にエッチングされ、5°未満の非常に小さなテーパー角度を有する第3の形状905Cが形成される。

【0280】この時、第2の形状のゲート電極(TaN膜)の外側に位置する第2の形状のゲート絶縁膜904Bは約37.3nmエッチングされ、第3の形状のゲート絶縁膜904Cが形成される。ここまでのエッチングによりゲート絶縁膜は40.5nmエッチングされる。

【0281】実施例3において、第1、第2及び第3のドライエッチングによりゲート絶縁膜は約64.4nmエッチングされていたが本実施例のようにエッチングガスに SF_6 を用いることでゲート絶縁膜のエッチング量を約42%減少させることができた。

【0282】次に、第3のドーピングを行う。第3の形状のゲート電極906Cをマスクに用いて、ゲート電極(W膜)と重ならず、ゲート電極(TaN膜)と重なる半導体層909にゲート電極905Cを突き抜けるようにn型を付与する不純物をドーピングする。

【0283】第3の形状のゲート電極905Cの端部は5°未満の非常に小さなテーパー角度を有しており、その膜厚は分布を持っている。前記膜厚分布に従い第3のドーピングでの半導体層の不純物濃度にもわずかな分布が生じるが、前記実施例1の時に生じた L_{eff} 領域及び L_{00} 領域の不純物濃度差より小さくなる。

【0284】本実施例では、リンを不純物に選び、ドーズ量 3.5×10^{12} atoms/cm²、加速電圧を90kVとすることで半導体層909にはソース領域及びドレイン領域908よりも不純物濃度が低いn型のLDD領域909が形成される。

【0285】次に、第4のドライエッチングを行う。第3の形状のゲート電極905Cをエッチングして第4の形状のゲート電極905Dを形成する。

【0286】第3の形状のゲート電極905Cの端部においてはテーパー形状を有しており、異方性のドライエッチングを行うことで第3の形状のゲート電極(TaN膜)の端部から第3の形状のゲート電極906Cと重なる位置に向かって徐々にエッチングされ、第4の形状のゲート電極905Dの幅は第3の形状のゲート電極905Cよりも細い形状となる。

【0287】第3の形状のゲート電極905Cと重なっていたLDD領域909の一部は第4のドライエッチングにより第4の形状のゲート電極(TaN膜)の外側に位置するようになる。そのため前記LDD領域909は L_{eff} 領域910及び L_{00} 領域911となる。

【0288】ただし、ゲート電極905Cは非常に小さなテーパー角度を有する薄膜(TaN膜)のためエッチングレートが速いエッチング条件で処理するとゲート電極905Cはすべてエッチングされてしまう可能性がある。

【0289】本実施例では、第4のドライエッチングに平行平板型RIE方式のドライエッチング装置を用いて、チャンバー圧力を6.7Pa、RF電力を800Wとして、ガスは CHF_3 を35sccm流入してエッチ

ングした。

【0290】この時、第4のドライエッチングにより第3の形状のゲート電極905Cと重ならない領域のゲート絶縁膜904Cはほとんどエッチングされるが、もしすべてのゲート絶縁膜がエッチングされたとしても半導体装置を製造する上で問題はない。その理由はエッチングガスに CHF_3 を用いていることから半導体層(シリコン)に対してゲート絶縁膜を選択的にエッチングが可能であるからである。また、中間配線と半導体層を接続するためのコンタクトホールを形成する際にも実施例1における第1の層間絶縁膜である酸化窒化シリコンをエッチングする際、 CHF_3 などを用い、半導体層(シリコン)と選択的にエッチングが行える条件で行えばよいからである。

【0291】また、上記のような CHF_3 によるエッチングではTaN膜のエッチング量が不足する場合、 Cl_2 及び CF_4 、あるいは Cl_2 、 CF_4 及び O_2 を用いて5〜20秒程度エッチングし、予めTaN膜をエッチングしてから CHF_3 を用いてエッチングしても良い。

【0292】また、 CF_4 の代わりに SF_6 を用いてエッチングしても良い。

【0293】第4のドライエッチングの後にフォトリソスタ907を除去する。

【0294】以上の方法を用いることで、実施例3と同様のゲート電極の形状を形成することができ、第3のドライエッチング終了時のゲート絶縁膜のエッチング量は40.5nmに抑えることができた。

【0295】ここでは、窒化タンタルを下層とし、タングステンを上層としたゲート電極構造を例に説明したが、このゲート構造に限定されず、タングステン、タンタル、チタン、モリブデン、銀、銅等から選ばれた元素、あるいは前記元素を成分とする窒化物、あるいは前記元素を組み合わせた合金を適宜選択して積層すればよい。

【0296】【実施例5】上記各実施例1または実施例2を実施して形成されたTFTは様々な電気光学装置(アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ELディスプレイ、アクティブマトリクス型ECディスプレイ)に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本発明を実施できる。

【0297】その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、カーナビゲーション、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図10、図11及び図12に示す。

【0298】図10(A)はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004等を含む。本発明を表示部2003に適用することができる。

【0299】図10(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明を表示部2102に適用することができる。

【0300】図10(C)はモバイルコンピュータ(モバイルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205等を含む。本発明は表示部2205に適用することができる。

【0301】図10(D)はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303等を含む。本発明は表示部2302に適用することができる。

【0302】図10(E)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2402に適用することができる。

【0303】図10(F)はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部(図示しない)等を含む。本発明を表示部2502に適用することができる。

【0304】図11(A)はフロント型プロジェクターであり、投射装置2601、スクリーン2602等を含む。本発明は投射装置2601の一部を構成する液晶表示装置2808やその他の駆動回路に適用することができる。

【0305】図11(B)はリア型プロジェクターであり、本体2701、投射装置2702、ミラー2703、スクリーン2704等を含む。本発明は投射装置2702の一部を構成する液晶表示装置2808やその他の駆動回路に適用することができる。

【0306】なお、図11(C)は、図11(A)及び図11(B)中における投射装置2601、2702の構造の一例を示した図である。投射装置2601、2702は、光源光学系2801、ミラー2802、2804〜2806、ダイクロックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図11(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機

能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0307】また、図11(D)は、図11(C)中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図11(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0308】ただし、図11に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置及びEL表示装置での適用例は図示していない。

【0309】図12(A)は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906等を含む。本発明を表示部2904に適用することができる。

【0310】図12(B)は携帯書籍(電子書籍)であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。本発明は表示部3002、3003に適用することができる。

【0311】図12(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。本発明は特に大画面化した場合、例えば、対角10インチ以上(特に30インチ以上)のディスプレイにも適用できる。

【0312】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1または実施例2のどのような組み合わせからなる構成を用いても実現することができる。

【0313】【発明の効果】本発明を用いることでGOLD構造を有するTFTを自己整合的に作製でき、マスク枚数及び製造工程数を削減できる。このTFTを備えた半導体装置の特性は向上し、製造コストの削減、製造に要する時間の短縮及び歩留まりの改善が可能となる。

【0314】また、本発明により、GOLD構造のnチャネル型TFT及びpチャネル型TFTを5枚のマスク枚数により製造できる。

【図面の簡単な説明】

【図1】 W膜及びTa-N膜のエッチング特性を示す図である。

【図2】 エッチング前後のゲート電極を観察した写真図である。

【図3】 ゲート電極のエッチング工程及びドーピング工程を示す図である。

【図4】 エッチング条件によるLDD領域の長さを示すグラフである。

【図5】 AM-LCDの作製工程を示す図である。

【図6】 AM-LCDの作製工程を示す図である。

【図7】 AM-LCDの作製工程を示す図である。

【図8】 反射型液晶表示装置の断面構造図である。

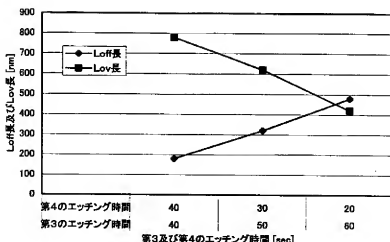
【図9】 ゲート電極のエッチング工程及びドーピング工程を示す図である。

【図10】 電子機器の一例を示す図。

【図11】 電子機器の一例を示す図。

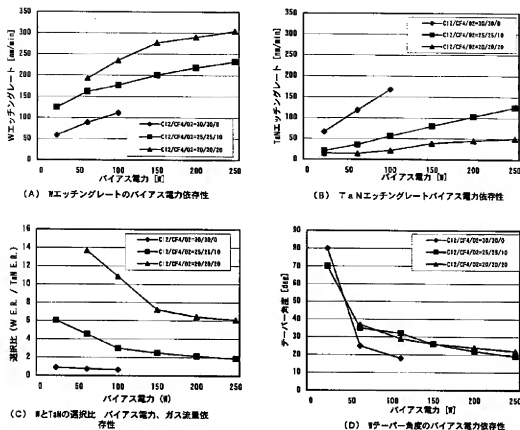
【図12】 電子機器の一例を示す図。

【図4】



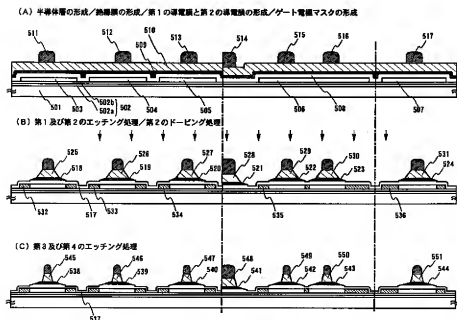
エッチング時間の変化によるLoff長及びLov長の変化

【図1】

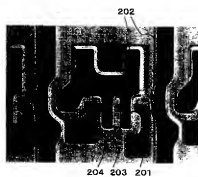


W, TaN条件依存性データ エッチングレート、選択比、テーパ角度

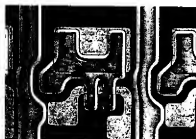
【図5】



【図2】



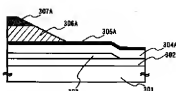
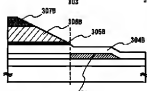
(A)
 (条件7) ICP電力500W、バイアス電力150W、チャンバー圧力1.0Pa、
 $Cl_2=25sccm$ 、 $CF_4=25sccm$ 、 $O_2=10sccm$



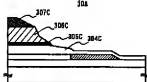
(B)
 条件7によるエッチング処理後に行う。
 (条件1) ICP電力500W、バイアス電力20W、チャンバー圧力1.0Pa、
 $Cl_2=30sccm$ 、 $CF_4=30sccm$

【図3】

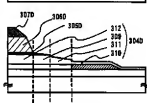
(A) 第1のドライエッチング

(B) 第2のドライエッチング
ドーピング

(C) 第3のドライエッチング

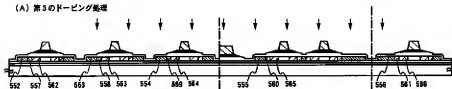


(D) 第4のドライエッチング

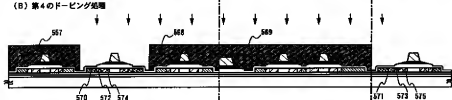
(E) レジスト剥離
ドーピング

【図6】

(A) 第3のドーピング処理



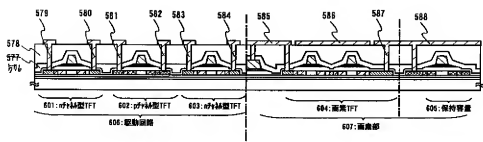
(B) 第4のドーピング処理



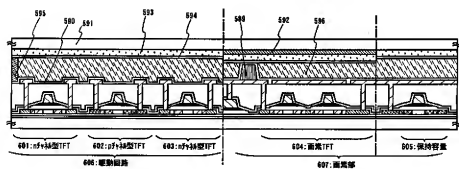
(C) 活性化処理



【図7】

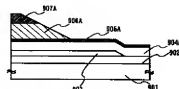
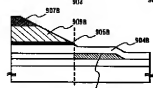
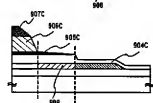


【図8】

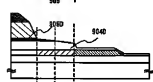


【図9】

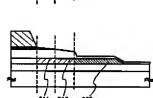
(A) 第1のドライエッチング

(B) 第2のドライエッチング
ドーピング(C) 第3のドライエッチング
ドーピング

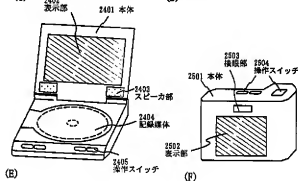
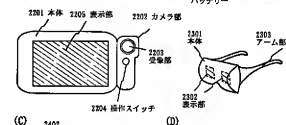
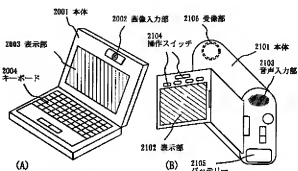
(D) 第4のドライエッチング



(E) レジスト剥離



【図10】



フロントページの続き

Fターム(参考) 4M104 AA09 BB04 BB08 BB14 BB16
 BB17 BB30 BB31 BB32 BB33
 CC05 DD65 DD67 FF06 FF13
 GG09
 5F004 AA03 BA20 CA02 CA03 DA01
 DA04 DA11 DA17 DA18 DA26
 DB10 DB12 EB02
 5F110 AA16 BB02 BB04 CC02 DD01
 DD02 DD03 DD05 DD13 DD14
 DD15 DD17 EE01 EE02 EE04
 EE06 EE23 EE44 EE45 FF01
 FF02 FF03 FF04 FF09 FF12
 FF28 FF30 GG01 GG02 GG13
 GG22 GG25 GG32 GG34 GG43
 GG45 GG52 HJ01 HJ04 HJ13
 HJ23 HL04 HL06 HL11 HL14
 HL23 HM15 NN03 NN04 NN22
 NN27 NN34 NN35 NN36 NN73
 PP01 PP03 PP10 PP29 PP34
 PP35 QQ04 QQ09 QQ11 QQ19
 QQ24 QQ25

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-083805

(43)Date of publication of application : 22.03.2002

(51)Int.Cl. H01L 21/3065

H01L 21/28

H01L 21/336

H01L 29/786

(21)Application number : 2001-141133 (71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 11.05.2001 (72)Inventor : SUZAWA HIDEOMI
ONO KOJI
TAKAYAMA TORU

(30)Priority

Priority number : 2000140999 Priority date : 12.05.2000 Priority country : JP
2000193614 27.06.2000 JP

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD



(57)Abstract:

PROBLEM TO BE SOLVED: To overcome the problem of a prior art such that the patterning of a resist mask accompanying photo lithography causes increase in the number of the processes, the extension of process time, and increase in costs when a semiconductor device represented by an active-matrix-type display is manufactured.

SOLUTION: As a method for forming an impurity region in a semiconductor layer 303, the semiconductor layer 303 is doped in self-alignment manner with a second conductive film 306 out of a gate electrode formed in two layers as a mask. The semiconductor layer is doped by passing through first conductive and insulating films 305 and 304, thus forming an LDD region in GOLD structure at a semiconductor layer 313.

LEGAL STATUS

[Date of request for examination] 16.05.2005

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

**JPO and NCIP are not responsible for any
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The 1st process which forms a semi-conductor layer, and the 2nd process which forms gate dielectric film on said semi-conductor layer, The 3rd process which forms the 1st electric conduction film on said gate dielectric film, and the 4th process which forms the 2nd electric conduction film on said 1st electric conduction film, The 5th process which forms the gate electrode of 1 time or the 1st configuration of a multiple-times deed for dry etching to said 2nd electric conduction film and said 1st electric conduction film, The 6th process which forms the 1st impurity range in said semi-conductor layer, and the 7th process which performs dry etching to the gate electrode of said 1st configuration, and forms the gate electrode of the 2nd configuration, The production approach of the semiconductor device characterized by including the 8th process which performs dry etching alternatively to the 2nd electric conduction film which

constitutes the gate electrode of said 2nd configuration, and forms the gate electrode of the 3rd configuration, and the 9th process which forms the 2nd impurity range in said semi-conductor layer.

[Claim 2] the quality of the material which uses as a principal component the refractory metal with which said 1st electric conduction film and said 2nd electric conduction film were chosen from a tungsten, a tantalum, titanium, and molybdenum in claim 1, the alloy containing these metals, or the nitride which uses these metals as a principal component -- since -- the production approach of the semiconductor device characterized by being the selected quality of the material.

[Claim 3] The production approach of the semiconductor device characterized by forming the gate electrode of the 1st configuration using chlorine-based gas and fluorine system gas or chlorine-based gas, fluorine system gas, and O₂ by the dry etching in said 5th process in claim 1 or claim 2.

[Claim 4] The production approach of the semiconductor device characterized by forming the gate electrode of the 2nd configuration using chlorine-based gas and fluorine system gas by the dry etching in said 7th process in claim 1 thru/or any 1 of 3.

[Claim 5] The production approach of the semiconductor device characterized by forming the gate electrode of the 3rd configuration using chlorine-based gas, fluorine system gas, and O₂ by the dry etching in said 8th process in claim 1 thru/or any 1 of 4.

[Claim 6] Said 9th process according to claim 1 to 5 is the production approach of the semiconductor device characterized by forming said 2nd impurity range in said semi-conductor layer with doping an impurity element so that the 1st [said] electric conduction film and said gate dielectric film which constitutes the gate electrode of said 2nd configuration may be passed.

[Claim 7] The 9th process given in claim 1 thru/or any 1 term of 6 is the production approach of the semiconductor device characterized by forming an impurity range in the semi-conductor layer which laps with the semi-conductor

layer located in the outside of the gate electrode of said 3rd configuration, and the gate electrode of the 3rd configuration at coincidence.

[Claim 8] The 1st process which forms a semi-conductor layer, and the 2nd process which forms gate dielectric film on said semi-conductor layer, The 3rd process which forms the 1st electric conduction film on said gate dielectric film, and the 4th process which forms the 2nd electric conduction film on said 1st electric conduction film, The 5th process which forms the gate electrode of 1 time or the 1st configuration of a multiple-times deed for dry etching to said 2nd electric conduction film and said 1st electric conduction film, The 6th process which forms the 1st impurity range in said semi-conductor layer, and the 7th process which performs dry etching alternatively to the 2nd electric conduction film which constitutes the gate electrode of said 1st configuration, and forms the gate electrode of the 2nd configuration, The production approach of the semiconductor device characterized by including the 8th process which forms the 2nd impurity range in said semi-conductor layer, and the 9th process which performs dry etching alternatively to the 1st electric conduction film which constitutes the gate electrode of said 2nd configuration, and forms the gate electrode of the 3rd configuration.

[Claim 9] the quality of the material which uses as a principal component the refractory metal with which said 1st electric conduction film and said 2nd electric conduction film were chosen from a tungsten, a tantalum, titanium, and molybdenum in claim 8, the alloy containing these metals, or the nitride which uses these metals as a principal component -- since -- the production approach of the semiconductor device characterized by being the selected quality of the material.

[Claim 10] The production approach of the semiconductor device characterized by forming the gate electrode of the 1st configuration using chlorine-based gas and fluorine system gas or chlorine-based gas, fluorine system gas, and O₂ by the dry etching in said 5th process in claim 8 or claim 9.

[Claim 11] The production approach of the semiconductor device characterized

by forming the gate electrode of the 2nd configuration using chlorine-based gas, fluorine system gas, and O₂ by the dry etching in said 7th process in claim 8 thru/or any 1 of 10.

[Claim 12] The production approach of the semiconductor device characterized by forming the gate electrode of the 3rd configuration by the dry etching in said 9th process in claim 8 thru/or any 1 of 11 using the gas chosen from chlorine-based gas and fluorine system gas, chlorine-based gas, fluorine system gas and O₂ and CHF₃, and C₄F₈.

[Claim 13] Claim 8 thru/or said 8th process in any 1 of 12 are the production approach of the semiconductor device characterized by forming said 2nd impurity range in said semi-conductor layer with doping an impurity element so that said the 1st electric conduction film and gate dielectric film which constitute the gate electrode of said 2nd configuration may be passed.

[Claim 14] The semi-conductor layer formed on the insulating front face, and the insulator layer formed on this semi-conductor layer, The 1st process which is the production approach of the semiconductor device containing the gate electrode formed on this insulator layer, and forms a semi-conductor layer on an insulating front face, The 2nd process which forms an insulator layer on said semi-conductor layer, and on said insulator layer, the 1st conductive layer, The production approach of the semiconductor device characterized by including the 3rd process which forms the gate electrode which consists of a laminating with the 2nd conductive layer which has a larger cone angle than the cone angle in the edge of said 1st conductive layer at the edge.

[Claim 15] It is the production approach of the semiconductor device characterized by making the edge of said semi-conductor layer into a taper configuration in claim 14.

[Claim 16] It is the production approach of the semiconductor device characterized by the width of face of the 2nd conductive layer being narrower than the width of face of the 1st conductive layer in claim 14 or claim 15.

[Claim 17] It is the production approach of the semiconductor device

characterized by forming a gate electrode by performing dry etching using chlorine-based gas, fluorine system gas, and O₂ after said 3rd process performs dry etching in claim 14 thru/or any 1 of 16 using chlorine-based gas and fluorine system gas or said chlorine-based gas, said fluorine system gas, and O₂.

[Claim 18] It is the production approach of the semiconductor device characterized by being gas by which said chlorine-based gas was chosen from Cl₂, BCl₃, SiCl₄, and CCl₄ in claim 1 thru/or any 1 of 17.

[Claim 19] It is the production approach of the semiconductor device characterized by being gas by which said fluorine system gas was chosen from CF₄, SF₆, and NF₃ in claim 1 thru/or any 1 of 18.

[Claim 20] It is a semiconductor device containing the semi-conductor layer formed on the insulating front face, the insulator layer formed on this semi-conductor layer, and the gate electrode formed on this insulator layer. Said gate electrode It has the laminated structure which uses the 1st conductive layer as a lower layer, and makes the upper layer the 2nd conductive layer which has a larger cone angle than the cone angle in the edge of said 1st conductive layer at the edge. Said semi-conductor layer The semiconductor device characterized by having the channel formation field which laps with said 2nd conductive layer, the LDD field which laps with said 1st conductive layer, and a source field and a drain field.

[Claim 21] It is the semiconductor device characterized by the edge of said semi-conductor layer being a taper configuration in claim 20.

[Claim 22] It is the semiconductor device characterized by being covered with the insulator layer by which the edge of said semi-conductor layer was prepared between said gate electrodes and said semi-conductor layers in claim 20 or claim 21.

[Claim 23] It is the semiconductor device characterized by having the taper configuration near the gate electrode among said insulator layers in claim 22.

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention is characterized by the technique which controls an impurity doping field by the processing approach of the gate electrode by dry etching in a semi-conductor layer about a semiconductor device and its production approach. The application is related with the electronic equipment using the indicating equipment which used the above-mentioned semiconductor device for the display especially a liquid crystal display, an organic electroluminescence display, and these indicating equipments.

[0002]

[Description of the Prior Art] When producing a semiconductor device and forming the configuration of a semi-conductor layer by dry etching or wet etching, or when forming an impurity range in a semi-conductor layer by doping, the mask which consists of a photoresist is used.

[0003] In dry etching or wet etching, the quality of the material of the outside of the part covered with the mask is removed, and the configuration as the configuration of a mask where the etched quality of the material is the same is formed. On the other hand, an impurity range is formed in the semi-conductor layer which is not covered with a mask in case it dopes.

[0004] In recent years, as for the structure of the semiconductor device equipped with the thin film transistor (henceforth TFT), detailed-ization is progressing. Therefore, detailed alignment is required also of mask formation. In case detailed alignment forms the mask which consists of a resist, it is set to one of the factors which cause a defect of shape. Then, after forming a mask and forming a part of TFT (for example, gate electrode) by dry etching etc., the approach of producing a semiconductor device in self align which forms the part (for example, a source field or a drain field) of others of TFT is learned by using said a part of formed TFT (for example, gate electrode) as a mask.

[0005] In the technique of photolithography, since reduction of the photo-mask number of sheets used in the forming-mask which consists of photoresist case can be realized and detailed location ***** also becomes unnecessary, the approach of producing a semiconductor device in self align is a technique by which current attention is carried out.

[0006] For forming an impurity range in a semi-conductor layer, the approach of doping 13 groups' impurity element represented by 15 groups' impurity element or boron represented by Lynn, the arsenic, etc. (it can set to the periodic table) (it can set to the periodic table) in a semi-conductor layer is used.

[0007] A n-type-semiconductor layer is formed with doping 15 groups' impurity element, a p type semiconductor layer is formed with doping 13 groups' impurity element, and a source field or a drain field is formed in a semi-conductor layer.

[0008] On the other hand, the OFF state current (at the time of off actuation, TFT says the thing of a current which flows a channel field, and calls it loff on these specifications) is in one of the properties of TFT. In case the property of TFT is evaluated, it is required that the value of this loff should be small.

[0009] In order to make the value of loff small, the semi-conductor layer located in the outside of a gate electrode is expected to form the 1st LDD (Lightly Doped Drain) field.

[0010] Moreover, if a hot carrier occurs to a channel field when TFT is in a drive condition (at namely, the time of ON actuation), it will become the cause of

degradation of a semiconductor device. In order to prevent it, the semi-conductor layer which laps with a gate electrode is expected to form the 2nd LDD field.

[0011] In addition, the semiconductor device which has the LDD field which has lapped with the gate electrode through gate dielectric film is known as GOLD (Gate-drain overlapped LDD) structure.

[0012] In addition, GOLD structure is known also as LATID (Large-tilt-angle implanted drain) structure or ITLDD (Inverse T LDD) structure. Although it is the GOLD structure by the sidewall formed with silicon in "Mutsuko Hatano, Hajime Akimoto and Takeshi Sakai, IEDM97 TECHNICAL DIGEST, p523-526, and 1997", it is checked that the extremely excellent dependability is acquired compared with TFT of other structures. [and]

[0013]

[Problem(s) to be Solved by the Invention] Many processes are needed for forming the mask which consists of a photoresist when producing the semiconductor device equipped with TFT forward and backward. For example, they are substrate washing, resist ingredient spreading, prebaking, exposure, development, postbake, etc.

[0014] Moreover, it is necessary to remove the mask which consists of said photoresist after etching processing or doping processing, and many processes are required also in case it removes. For example, there is exfoliation processing which combined the ashing processing by the gas chosen from O₂, H₂O, or CF₄, the exfoliation processing using various drug solutions, or said ashing processing and the processing using a drug solution. At this time, processes, such as drug solution processing, rinse processing with pure water, and substrate desiccation, are needed for exfoliation processing using a drug solution.

[0015] Therefore, using the mask which consists of a photoresist had a problem of making the number of making processes of a semiconductor device increase.

[0016] Moreover, detailed alignment is demanded also of mask formation with detailed-izing of a semiconductor device. Detailed alignment caused poor formation of a resist mask, and the time amount spent on the repair caused the

increment in process time amount, and it had become the factor which makes a manufacturing cost increase.

[0017] As mentioned above, using the mask which consists of a photoresist when producing a semiconductor device caused the increment in a routing counter, and the increment in process time amount, therefore it made the manufacturing cost increase, and had also affected the yield of a product.

[0018] Therefore, it is effective in reducing the manufacturing cost of a semiconductor device to reduce mask number of sheets.

[0019] Moreover, when the property of TFT prepared in the semiconductor device is considered, it is effective in the thing which reduce the value of Ioff which it is more desirable to form the LDD field of the above 1st in the semiconductor layer, and is one of the property items of TFT and to **.

[0020] Moreover, the hot carrier generated in the interface of a channel field and a drain field can be controlled by forming the LDD field of the above 2nd in a semiconductor layer so that it may be more desirable to have GOLD structure to prevent degradation of a semiconductor device and it may lap with a gate electrode on both sides of gate dielectric film.

[0021] In addition, on these specifications, a Loff field, and a call and the LDD field of the above 2nd are called a Lov field for the LDD field of the above 1st.

[0022] However, it is necessary to form in a Loff field and a Lov field the mask which is doping an impurity from a photoresist, respectively at a semiconductor layer, and the increment in the routing counter accompanying the increment in mask number of sheets poses a problem.

[0023] Moreover, in the semiconductor device of the GOLD structure where the edge of a gate electrode is located on both sides of gate dielectric film on the location between a Loff field and a Lov field, delicate alignment was needed on the occasion of the mask formation which consists of a photoresist, and the process was complicated. Therefore, the trouble which causes the defect of alignment etc. at the time of mask formation occurred in many cases.

[0024] In order to have formed the semiconductor device of GOLD structure from

the above thing, on the structure of requiring the detailed position control, the trouble in formation of the mask which consists of an increment and photoresist of mask number of sheets became a big problem, and had become the factor which causes the manufacture increase in cost of a semiconductor device, the increment in the time amount which manufacture takes, and the fall of the manufacture yield.

[0025] Then, whether a Loff field and a Lov field being formed in self align, without using the mask which consists of a photoresist for forming a LDD field, in case the LDD field of the semiconductor device of GOLD structure is formed, and this invention persons who were inquiring are devising the quality of the material and the dry etching approach of a gate electrode, and invented the production approach which dopes an impurity element in self align and forms a Loff field and a Lov field.

[0026] If this approach is used, it can become possible to dope an impurity element in a semi-conductor layer in self align, and to form a Loff field and a Lov field, mask number of sheets can be reduced conventionally, and the trouble in the case of mask formation can also be abolished. Therefore, the manufacturing cost of a semiconductor device and the time amount which manufacture takes can be decreased.

[0027]

[Means for Solving the Problem] In case a semiconductor device is produced, it is desirable to have the LDD field. Moreover, it is desirable to form GOLD structure for suppressing degradation of a semiconductor device. However, in the former, the mask which is forming such a LDD field from a resist needed to be formed. Therefore, mask number of sheets increased and the manufacture increase in cost had become a problem. However, it becomes possible to form a Loff field and a Lov field in self align by this invention, and the mask number of sheets which the production process of a semiconductor device takes can be reduced, and it becomes reducible [compaction of production time, and a manufacturing cost].

[0028] The edge of the gate electrode in the semiconductor device of GOLD structure is constituted so that it may lap with a part of LDD field on both sides of gate dielectric film in between. In this invention, the configuration of a gate electrode is processed into a taper configuration by dry etching, it repeats using the processed gate electrode for a mask and doping it in self align, and it is performed. This invention forms a source field, a drain field, a Loff field, and a Lov field in a semi-conductor layer by carrying out like this. In addition, when doping, in order to form a Lov field in the semi-conductor layer which laps with a gate electrode with doping so that an impurity may pass through some gate electrodes, the impurity range where high impurity concentration differs, respectively is formed in a semi-conductor layer.

[0029] The 1st process in which this invention forms a semi-conductor layer, and the 2nd process which forms gate dielectric film on said semi-conductor layer, The 3rd process which forms the 1st electric conduction film on said gate dielectric film, and the 4th process which forms the 2nd electric conduction film on said 1st electric conduction film, The 5th process which forms the gate electrode of 1 time or the 1st configuration of a multiple-times deed for dry etching to said 2nd electric conduction film and said 1st electric conduction film, The 6th process which forms the 1st impurity range in said semi-conductor layer, and the 7th process which performs dry etching to the gate electrode of said 1st configuration, and forms the gate electrode of the 2nd configuration, The 8th process which performs dry etching alternatively to the 2nd electric conduction film which constitutes the gate electrode of said 2nd configuration, and forms the gate electrode of the 3rd configuration, By the production approach of a semiconductor device of having the 9th process which forms the 2nd impurity range in said semi-conductor layer, it is characterized by forming GOLD structure in said semiconductor device in self align.

[0030] In above-mentioned this invention, the quality of the material chosen from the nitride which uses refractory metals, such as a tungsten, a tantalum, titanium, and molybdenum, or these metals as a component, respectively, or the alloy

containing these metals is used for said 1st electric conduction film and said 2nd electric conduction film. In addition, said 1st electric conduction film and said 2nd electric conduction film are made into the different quality of the material. [0031] Moreover, the dry etching method which used the high density plasma is applied to the above-mentioned dry etching, and the etching system which can control independently the power of a plasma generation source and the bias power which generates negative bias voltage in a substrate side is used. It turned out that the cone angle of a gate electrode can be made smaller by finding out that the cone angle of a gate electrode edge is dependent on the bias voltage by the side of a substrate, and setting up the bias power of a dry etching system more greatly from this invention persons' experimental result. By controlling bias power suitably, the gate electrode which has a 5-80-degree cone angle can be formed in an edge, and this gate electrode is used for the mask at the time of forming an impurity range.

[0032] moreover, by this detail letter, the side slant face of a conductive layer calls the taper section the part which has the taper configuration, and a call and a taper configuration for the horizontal plane and the side slant face which has a cone angle (it is also called a taper angle), and a call and this cone angle for the include angle to make for convenience.

[0033] Moreover, at said 5th process, dry etching is performed so that a 5-60-degree cone angle may be formed in the edge of a gate electrode, and the gate electrode of the 1st configuration is formed.

[0034] Moreover, at said 7th process, dry etching is carried out on condition that bias power smaller than the dry etching conditions in the 5th process. The cone angle of a gate electrode edge becomes larger than the gate electrode of said 1st configuration by making bias power small. For this reason, the gate electrode of the 2nd configuration where width of face is thinner than the gate electrode of the 1st configuration is formed.

[0035] At said 8th process, dry etching of said 2nd electric conduction film is carried out alternatively. The cone angle of the edge in the 2nd electric

conduction film which constitutes the gate electrode of the 2nd configuration from said 8th process is enlarged. On the other hand, at the 8th process, since most of the 1st electric conduction film which constitutes the gate electrode of the 2nd configuration is not etched, it forms the gate electrode of the 3rd configuration where the width of face of the 2nd electric conduction film became thin compared with the 1st electric conduction film.

[0036] The ion doping method is used for forming an impurity range. It is also possible to use the ion-implantation other than the ion doping method. In this invention, in case an impurity is doped, the gate electrode is used for the mask, without using the mask which consists of a photoresist. Therefore, the mask number of sheets for producing a semiconductor device is reduced. What is necessary is just to dope 13 groups' impurity element represented by boron etc. in said the 6th process and said 9th process that what is necessary is just to dope 15 groups' impurity element represented by Lynn, the arsenic, etc. in said the 6th process and said 9th process if the semiconductor device of n mold is formed, if the semiconductor device of p mold is formed.

[0037] At said 6th process, it passes through gate dielectric film with using the gate electrode of the 1st configuration for a mask, and doping an impurity element, and the 1st impurity range is formed in the semi-conductor layer located in the outside of the 1st configuration. Said 1st impurity range turns into a source field or a drain field.

[0038] In said 9th process, the 2nd impurity range is formed with using the electric conduction film of [2nd] the gate electrodes of the 3rd configuration for a mask, and doping an impurity element. The 2nd impurity range where high impurity concentration is lower than the 1st impurity range is formed in a semiconductor layer by performing dry etching as a dose smaller than conditions when the doping conditions in said 9th process form the 1st impurity range, and high acceleration voltage. Moreover, an impurity element passes through the electric conduction film of [1st] the gate electrodes of the 3rd configuration, and gate dielectric film, and is doped by the semi-conductor layer. A Loff field is

formed in the outside of the gate electrode of the 3rd configuration among the 2nd impurity range, and a Lov field is formed in the field which laps with the 1st electric conduction film which does not lap with the 2nd electric conduction film.

[0039] The semi-conductor layer which has the LDD field which laps with a source field, a drain field, the LDD field located in the outside of a gate electrode, and a gate electrode by using the above means, gate dielectric film, and the semiconductor device of the GOLD structure of having a gate electrode are formed. Moreover, the photo mask taken to form this semiconductor device is only two sheets of the photo mask for forming the photo mask and gate electrode for forming an island-shape semi-conductor layer. Among those, a gate electrode is formed with the mask for forming a gate electrode, and a source field, a drain field, a Loff field, and a Lov field are formed in a semi-conductor layer in self align using the gate electrode.

[0040] By reducing mask number of sheets using the above-mentioned means, the number of production processes of a semiconductor device and the time amount which manufacture takes can be reduced, and it becomes improvable [reduction of a manufacturing cost, and the yield].

[0041] Moreover, GOLD structure can be formed in the semiconductor device which has the semi-conductor layer and gate dielectric film which were formed in island shape by the same mask number of sheets, and a gate electrode by changing dry etching, and the processing sequence and the conditions of impurity doping other than the above-mentioned processing. A manufacture process concrete as other examples is explained to be the above-mentioned configuration below.

[0042] The 1st process which forms a semi-conductor layer, and the 2nd process which forms gate dielectric film on said semi-conductor layer, The 3rd process which forms the 1st electric conduction film on said gate dielectric film, and the 4th process which forms the 2nd electric conduction film on said 1st electric conduction film, The 5th process which forms the gate electrode of 1 time or the 1st configuration of a multiple-times deed for dry etching to said 2nd electric

conduction film and said 1st electric conduction film, The 6th process which forms the 1st impurity range in said semi-conductor layer, and the 7th process which performs dry etching alternatively to the 2nd electric conduction film which constitutes the gate electrode of said 1st configuration, and forms the gate electrode of the 2nd configuration, By the production approach of a semiconductor device of having the 8th process which forms the 2nd impurity range in said semi-conductor layer, and the 9th process which performs dry etching alternatively to the 1st electric conduction film which constitutes the gate electrode of said 2nd configuration, and forms the gate electrode of the 3rd configuration It is characterized by forming GOLD structure in self align.

[0043] In above-mentioned this invention, the quality of the material chosen from the nitride which uses refractory metals, such as a tungsten, a tantalum, titanium, and molybdenum, or these metals as a component, respectively, or the alloy containing these metals is used for said 1st electric conduction film and said 2nd electric conduction film. In addition, said 1st electric conduction film and said 2nd electric conduction film are made into the different quality of the material.

[0044] The dry etching system which can control independently the power of a plasma generation source and the bias power which generates negative bias voltage in a substrate side, or the RIE system of an parallel monotonous mold is used at dry etching.

[0045] Moreover, at said 5th process, dry etching is performed so that a 5-60-degree cone angle may be formed in the edge of a gate electrode, and the gate electrode of the 1st configuration is formed.

[0046] At said 7th process, the 2nd electric conduction film is alternatively etched among the gate electrodes of the 1st configuration. At said 7th process, it processes on condition that bias power smaller than the dry etching conditions in the 5th process. The cone angle of said 2nd electric conduction membrane end section becomes larger than the gate electrode of said 1st configuration by making bias power small. Since most of the 1st electric conduction film is not etched, the gate electrode of the 2nd configuration where the 2nd electric

conduction film of width of face is thinner is formed rather than the 1st electric conduction film.

[0047] The ion doping method is used for forming an impurity range. It is also possible to use the ion-implantation other than the ion doping method. At said 6th process, the gate electrode of the 1st configuration is used for a mask, and the 1st impurity range is formed in the semi-conductor layer located in the outside of the 1st configuration with passing through gate dielectric film and doping an impurity element. Said 1st impurity range turns into a source field or a drain field.

[0048] At said 8th process, the electric conduction film of [2nd] the gate electrodes of the 2nd configuration is used for a mask, an impurity element is doped, and the 2nd impurity range is formed. The doping conditions of said 8th process are performed with a dose smaller than the conditions when forming the 1st impurity range, and high acceleration voltage, and form in a semi-conductor layer the 2nd impurity range where high impurity concentration is lower than the 1st impurity range. Moreover, an impurity element passes through the electric conduction film of [1st] the gate electrodes of the 2nd configuration, and gate dielectric film, and is doped by the semi-conductor layer.

[0049] At said 9th process, dry etching of said 1st electric conduction film is carried out alternatively. In the 1st electric conduction film, since the very small cone angle is formed in the part which does not lap with the 2nd electric conduction film according to the 7th process, the 1st electric conduction film is etched from an edge, becomes thin, and forms the gate electrode of the 3rd configuration. At this time, the 2nd impurity range is formed in the semi-conductor layer which laps with the 1st electric conduction film, and when the 1st electric conduction film becomes thin, a part of 2nd impurity range comes to be located in the outside of the gate electrode of the 3rd configuration. The field located in the gate electrode outside of the 3rd configuration among said 2nd impurity range turns into a Loff field, and the field which laps with the gate electrode of the 3rd configuration turns into a Lov field.

[0050] Even if it uses the above means, the semiconductor device which has the

semi-conductor layer in which the source field, the drain field, the Loff field, and the Lov field were formed by two photo-mask number of sheets, and gate dielectric film and a gate electrode can be formed.

[0051] Moreover, it can be said that this invention is in the formation approach of a gate electrode about the description.

[0052] The semi-conductor layer by which this invention was formed on the insulating front face, and the insulator layer formed on this semi-conductor layer, The 1st process which is the production approach of the semiconductor device containing the gate electrode formed on this insulator layer, and forms a semi-conductor layer on an insulating front face, The 2nd process which forms an insulator layer on said semi-conductor layer, and on said insulator layer, the 1st conductive layer, It is the production approach of the semiconductor device characterized by including the 3rd process which forms the gate electrode which consists of a laminating with the 2nd conductive layer which has a larger cone angle than the cone angle in the edge of said 1st conductive layer at the edge.

[0053] Moreover, in above-mentioned this invention, as shown in drawing 3 or drawing 9, as for the edge of said semi-conductor layer, considering as a taper configuration is desirable.

[0054] In above-mentioned this invention moreover, the edge of said 1st conductive layer In order that it may be desirable that it is a taper configuration and it may consider as a taper configuration, said 3rd process After performing dry etching using chlorine-based gas and fluorine system gas or said chlorine-based gas, said fluorine system gas, and O₂, It is characterized by forming the gate electrode which has a taper configuration at the edge by performing dry etching using chlorine-based gas, fluorine system gas, and O₂.

[0055] In addition, the above-mentioned gate electrode is written as the 2nd conductive layer which has a larger cone angle (45 degrees - 80 degrees) than the cone angle (60 degrees or less, preferably less than 5 degrees) in the edge of said 1st conductive layer at the edge, and the 2nd conductive layer is characterized by width of face being narrower than the width of face of the 1st

conductive layer.

[0056] In addition, said chlorine-based gas is gas chosen from Cl_2 , BCl_3 , SiCl_4 , and CCl_4 . Moreover, said fluorine system gas is gas chosen from CF_4 , SF_6 , and NF_3 .

[0057] Moreover, the semiconductor device equipped with the gate electrode which has the taper configuration acquired by the above-mentioned approach is also one of the descriptions of this invention. If the gate electrode which consists of the 1st conductive layer from which a cone angle differs, and the 2nd conductive layer is formed and an impurity element is doped, TFT of GOLD structure can be obtained in self align.

[0058] The configuration is a semiconductor device containing the semiconductor layer formed on the insulating front face, the insulator layer formed on this semiconductor layer, and the gate electrode formed on this insulator layer. Said gate electrode It has the laminated structure which uses the 1st conductive layer as a lower layer, and makes the upper layer the 2nd conductive layer which has a larger taper angle than the cone angle in the edge of said 1st conductive layer at the edge. Said semiconductor layer It is the semiconductor device characterized by having the channel formation field which laps with said 2nd conductive layer on both sides of an insulator layer in between, the LDD field which laps with said 1st conductive layer on both sides of an insulator layer in between, and a source field and a drain field.

[0059] In the above-mentioned configuration, it is characterized by the edge of said semiconductor layer being a taper configuration as shown in drawing 3 or drawing 9 .

[0060] Moreover, in the above-mentioned configuration, as shown in drawing 3 or drawing 9 , the edge of said semiconductor layer is characterized by being covered with the insulator layer prepared between said gate electrodes and said semiconductor layers. Moreover, as shown in drawing 3 or drawing 9 , it is characterized near the gate electrode by having the taper configuration among said insulator layers.

[0061]

[Embodiment of the Invention] this invention persons conducted some experiments about the gestalt of operation of this invention. It explains below using drawing 1 -4. Although the gate electrode structure which used tantalum nitride as the lower layer and made the tungsten the upper layer here is explained to an example, it is not limited to this gate structure, but the nitride which uses as a component the element chosen from a tungsten, a tantalum, titanium, molybdenum, silver, copper, etc. or said element, or the alloy which combined said element is chosen suitably, and should just carry out a laminating.

[0062] In this invention, the equipment (it is also hereafter called an ICP method dry etching system) which has an ICP (Inductively Coupled Plasma) plasma generation source was used for the etching system. The description of an ICP method dry etching system is the point which can control independently the ICP power which is a plasma generation source, and the bias power which generates negative bias voltage in a substrate side, respectively.

[0063] (Experiment 1) Many properties at the time of etching the tungsten (W) film and the tantalum nitride (TaN) film using the above-mentioned ICP method dry etching system are explained first.

[0064] When an ICP method dry etching system is used, ICP power, bias power, an etching chamber pressure, and the gas used and its flow rate are in the parameter which becomes important by the etching. The conditions of these parameters were distributed and the etching rate of W film and the TaN film was measured. The result is shown in Table 1 and drawing 1 .

[0065]

[Table 1]

| W及びTa-Nのエッチングレート (E.R.) 及びWテーパー角度 | | | | | | | | | | |
|-----------------------------------|------------|-------------|------------|-----|-----|----|----------------------|------------------------|------------------|------------------|
| 条件 | ICP [W] | バイアス [W] | 圧力 [Pa] | CF4 | Cl2 | O2 | # E.R. ① [nm/min] | TaN E.R. ② [nm/min] | #/Ta-N選択比 ①:② | Wテーパー角度 [deg] |
| 1 | 500 | 20 | 1.0 | 30 | 30 | 0 | 58.97 | 66.43 | 0.889 | 40 |
| 2 | 500 | 60 | 1.0 | 30 | 30 | 0 | 88.71 | 118.46 | 0.750 | 25 |
| 3 | 500 | 100 | 1.0 | 30 | 30 | 0 | 111.66 | 168.03 | 0.667 | 15 |
| 4 | 500 | 20 | 1.0 | 25 | 25 | 10 | 124.62 | 20.67 | 6.049 | 70 |
| 5 | 500 | 60 | 1.0 | 25 | 25 | 10 | 161.72 | 35.61 | 4.528 | 35 |
| 6 | 500 | 100 | 1.0 | 25 | 25 | 10 | 176.90 | 56.32 | 3.008 | 32 |
| 7 | 500 | 150 | 1.0 | 25 | 25 | 10 | 200.39 | 80.32 | 2.495 | 28 |
| 8 | 500 | 200 | 1.0 | 25 | 25 | 10 | 218.20 | 102.67 | 2.124 | 22 |
| 9 | 500 | 250 | 1.0 | 25 | 25 | 10 | 232.12 | 124.97 | 1.860 | 19 |
| 10 | 500 | 20 | 1.0 | 20 | 20 | 20 | — (*) | 14.83 | — | — |
| 11 | 500 | 60 | 1.0 | 20 | 20 | 20 | 193.02 | 14.23 | 13.685 | 37 |
| 12 | 500 | 100 | 1.0 | 20 | 20 | 20 | 235.27 | 21.81 | 10.856 | 29 |
| 13 | 500 | 150 | 1.0 | 20 | 20 | 20 | 276.74 | 38.61 | 7.219 | 26 |
| 14 | 500 | 200 | 1.0 | 20 | 20 | 20 | 290.10 | 45.30 | 6.422 | 24 |
| 15 | 500 | 250 | 1.0 | 20 | 20 | 20 | 304.34 | 50.25 | 6.091 | 22 |

(*) セル内の — はエッチング時にW表面が変質したため測定不可。

[0066] In addition, the sample structure used for etching rate measurement forms 400nm or 300nm of TaN film for W film in sputtering on #by Coming, Inc. 1737 substrate, and carries out half etching of W film or the TaN film in suitable time amount using the mask of the suitable configuration by a photoresist etc. Then, the amount of etching of W film or the TaN film was measured with the level difference measuring instrument, and the etching rate was computed from the etching time at that time. A result is shown in Table 1 and drawing 1 .

[0067] In Table 1, ICP power is set to 500W, a chamber pressure is fixed by 1.0Pa, the conditions of bias power and the gas used are distributed, and the etching rate is evaluated.

[0068] Table 1 and drawing 1 (A) are data in which the dependency of the bias power of the etching rate of W film and the gas used is shown. It turns out that the etching rate of W film is increasing by making an increment and the gas used of bias power add oxygen (O2).

[0069] On the other hand, Table 1 and drawing 1 (B) are data in which the dependency of the bias power of the etching rate of the TaN film and the gas used is shown. Although the etching rate of the TaN film increases with the increment in bias power like the etching rate of the above-mentioned W film, it turns out by adding oxygen in the gas used that the etching rate is decreasing.

[0070] When asked for the selection ratio (ratio of W film etching rate and a TaN

film etching rate) of W film to the TaN film based on the data of Table 1, in the condition that oxygen is not added by the gas used as shown in Table 1 and drawing 1 (C), it turned out that it increases to a maximum of 13.695 because the selection ratio which was less than one adds oxygen to etching gas.

[0071] (Experiment 2) In order to verify this result, this invention persons formed the TaN film on the glass substrate, elected from the conditions which show the sample which formed W film and was further made into the laminated structure on it in Table 1, and actually etched. Etching conditions and the optical microscope photograph of a result are shown in drawing 2 .

[0072] Drawing 2 forms the insulator layer which uses silicon as a principal component to #by Corning, Inc. 1737 glass substrate, and the silicon 201 crystallized by heat or laser is formed by the thickness of 55nm as an island-shape semi-conductor layer on it. In addition, if it was formed in order that said insulator layer layer might prevent emission of the impurity from a glass substrate, and it has insulation, membraneous quality and thickness will not ask.

[0073] As said island-shape semi-conductor layer on said insulator layer is covered, gate dielectric film is formed.

[0074] The TaN film used as the 1st electric conduction film was formed by the thickness of 30nm on said gate dielectric film, further, on said 1st electric conduction film, W film used as the 2nd electric conduction film was formed by the thickness of 370nm, and the mask 202 of a gate electrode and gate wiring was formed by the photoresist.

[0075] It sets to Table 1 and they are conditions 7 (500W and bias power are set to 150W, and a chamber pressure is set to 1.0Pa for ICP power.). Gas uses Cl₂, CF₄, and O₂. The flow rate of gas is [Cl /2] 10sccm(s) about 25sccm(s) and O₂ in 25sccm(s) and CF₄, respectively. It used and drawing 2 (A) etched the 2nd electric conduction film alternatively.

[0076] Moreover, drawing 2 (B) continues the substrate which etched W film alternatively according to conditions 7, and is the conditions 1 (500W and bias power are set to 20W, a chamber pressure is set to 1.0Pa for ICP power, and

gas uses Cl_2 and CF_4 .) of Table 1. The flow rate of gas is 30sccm(s) about 30sccm(s) and CF_4 in Cl_2 . It is the photograph of the gate electrode after using and etching W film and the TaN film.

[0077] In drawing 2 (A), W film had the taper configuration of 26 degrees of cone angles, about 700-800nm of the edge 203 overflowed into the outside of a resist mask, it has come out to it, and it turns out further that the outside remains on gate dielectric film, without etching the TaN film 204.

[0078] Drawing 2 (B) is etching the TaN film and W film into coincidence, and the TaN film which remained in the outside of W film of a taper configuration is etched completely.

[0079] Although the experiment 2 was conducted based on the selection ratio of W film called for in Table 1, and Ta film, it has checked that etching could also do alternatively the sample which actually has the laminated structure of the TaN film and W film. Moreover, the configuration after etching of W film showed that a correlation was in the cone angle and bias power of W film in the experiment 1 and the experiment 2.

[0080] (Experiment 3) Next, the cone angle by etching of W film was measured. The insulator layer which uses silicon as a principal component was formed to #by Corning, Inc. 1737 glass substrate, 400nm of W film was formed on it, and patterning of the mask of 3.5-micrometer Rhine which consists of a photoresist next was carried out. The 60-degree cone angle is formed in the photoresist edge at this time.

[0081] In addition, if said insulator layer was prepared in order to prevent the impurity emission from a glass substrate during etching of W film, and it has selectivity to the etching conditions of W film, neither a class nor thickness will ask. Bias power and the gas used were distributed, the above-mentioned sample was etched, the cross-section configuration was observed in SEM (Scanning Electron Microscopy), and the cone angle was measured.

[0082] A result is shown in Table 1 and drawing 1 (D). If it increases while bias power is 50-250W, although it becomes small gently to 37-18 degrees, when

bias power is 20W, the cone angle of W film will turn into 70-80 degrees of cone angles, and will serve as a configuration near a perpendicular.

[0083] This invention makes a gate electrode the two-layer structure of the gate electrode which consists of the 2nd electric conduction film formed on the gate electrode which consists of the 1st electric conduction film, and this gate electrode. The gate electrode which consists of the 2nd electric conduction film by controlling the gas used in dry etching is etched alternatively, And it is the manufacture approach of the semiconductor device characterized for the cone angle of the edge of a gate electrode by control by controlling the bias power which generates negative bias voltage in a substrate side in dry etching. By processing the configuration of a gate electrode free and using for the mask at the time of doping, in self align A source field, It is the manufacture approach of the semiconductor device characterized by doping an impurity to the LDD field which has a drain field, a Loff field, and a Lov field, and forming a source field, a drain field, a Loff field, and a Lov field in it.

[0084] (Gestalt of operation) How to form a source field, a drain field, a Lov field, and a Loff field in a semi-conductor layer in self align by doping which actually used the gate electrode as the mask next using the result of said experiment 1, experiment 2, and experiment 3 using drawing 3 which is the sectional view showing one edge of a gate electrode is explained in detail.

[0085] First, the following samples are prepared. In order to prevent diffusion of the impurity from a glass substrate on a glass substrate 301, the insulator layer 202 which uses silicon as a principal component is formed. Next, the sample which consists of gate-dielectric-film 304A of the 1st configuration formed so that the semi-conductor layer 303 and it which were formed in island shape might be covered is prepared.

[0086] The TaN film which turns into the 1st electric conduction film at said sample is formed by 30nm thickness, and W film which turns into the 2nd electric conduction film on said 1st electric conduction film is formed by the spatter by 370nm thickness. A mask is formed in a photoresist so that it may lap in said

island-shape semi-conductor layer and island-shape channel field.

[0087] The 1st dry etching is performed. (Drawing 3 (A)) Etching conditions set 500W and bias power to 150W, and set a chamber pressure to 1.0Pa for ICP power, and gas uses Cl_2 , CF_4 , and O_2 . A quantity of gas flow sets 25sccm(s) and CF_4 to 25sccm(s), and sets O_2 to 10sccm(s) for Cl_2 , respectively. This etching condition is conditions of 7 shown in drawing 1 , the taper configuration of 26 degrees of cone angles can be formed in W film, and the selection ratio of W film to the TaN film is about 2.5. Here, dry etching of the W film is alternatively carried out using this condition. In addition, by etching, monitoring of the luminescence reinforcement of the plasma is carried out, and the point of W film ending [etching] is detected.

[0088] After termination check appearance, it was desirable to perform over etching so that an etch residue etc. might not occur, but in order to prevent the TaN film being superfluously etched by the over etching of long duration, 10% of over etching was performed here.

[0089] By the 1st dry etching of the above, W film which is the 2nd electric conduction film is set to gate electrode (2nd conductive layer) 306A of the 1st configuration which has a 26-degree cone angle, and although 13-14nm of TaN film which is the 1st electric conduction film is etched by over etching, it will be in the condition of remaining in the whole surface to the substrate, and it is set to 1st electric conduction film 305A.

[0090] Moreover, the 1st dry etching of the above may use the gas chosen as etching gas from fluorine system gas, such as chlorine-based gas, such as Cl_2 , BCl_3 , SiCl_4 , and CCl_4 , and CF_4 , SF_6 , NF_3 , and O_2 , or the mixed gas which makes these a principal component.

[0091] At this time, gate-dielectric-film 304A is not etched, in order that the TaN film may carry out the role of a stopper layer.

[0092] A photoresist is not removed continuously but the 2nd dry etching is performed. Etching conditions set 500W and bias power to 20W, and set the chamber pressure to 1.0Pa for ICP power, and gas used Cl_2 and CF_4 . The

quantity of gas flow set Cl₂ to 30sccm(s), and set CF₄ to 30sccm(s), respectively. This is the conditions of 1 shown in Table 1, and W film and the TaN film are etched by the almost same etching rate, and it serves as the gate electrodes 305B and 306B of the 2nd configuration.

[0093] Moreover, in the case of the 2nd dry etching, at the time of the over etching of the TaN film, about 13.8-25.8nm of gate dielectric film of the 1st configuration is etched, and it is set to gate-dielectric-film 304B of the 2nd configuration.

[0094] Moreover, the 2nd dry etching may use the gas chosen as etching gas from fluorine system gas, such as chlorine-based gas, such as Cl₂, BCl₃, SiCl₄, and CCl₄, and CF₄, SF₆, NF₃, and O₂, or the mixed gas which makes these a principal component.

[0095] Next, a photoresist is not removed, but 1st doping is performed and a source field and a drain field are formed in the semi-conductor layer 303. Here, in order to form a n-type-semiconductor layer, Lynn was doped with dose 1.5x10¹⁵ atoms/cm² and the acceleration voltage of 80kV. The source field and the drain field 308 of n mold are formed in the semi-conductor layer by which Lynn was doped. (Drawing 3 (B))

[0096] Next, a photoresist is not removed but the 3rd dry etching is performed. (Drawing 3 (C)) Photoresist 307A is photoresist 307B of the 2nd configuration by the 2nd dry etching. The etching conditions of the 3rd dry etching set 500W and bias power to 20W, and set the chamber pressure to 1.0Pa for ICP power. Gas used Cl₂ and CF₄. The quantity of gas flow set Cl₂ to 30sccm(s), and set CF₄ to 30sccm(s), respectively.

[0097] Both W film and the TaN film are etched by this 3rd dry etching. By the 3rd dry etching, the taper section of the gate electrode formed of the 1st and 2nd dry etching of the above serves as a bigger include angle, the width of face of a gate electrode becomes thin, and the gate electrodes 305C and 306C of the 3rd configuration are formed.

[0098] Gate-dielectric-film 304B of the 2nd configuration which does not lap with

gate electrode 305B of the 2nd configuration is etched a little in the case of this 3rd dry etching. Moreover, the gate dielectric film put to the plasma is also etched gradually, and gate-dielectric-film 304C of the 3rd configuration which has a taper configuration is formed as the gate electrode of the 2nd configuration is etched and width of face becomes thin to the gate electrode of the 3rd configuration.

Here, about 60nm gate dielectric film is etched by performing the 3rd dry etching.

[0099] Moreover, the 3rd dry etching can use the gas chosen as etching gas from fluorine system gas, such as chlorine-based gas, such as Cl_2 , BCl_3 , SiCl_4 , and CCl_4 , and CF_4 , SF_6 , NF_3 , and O_2 , or the mixed gas which makes these a principal component.

[0100] In addition, when SF_6 is used for the gas which W film and the TaN film etch in the case of the 3rd dry etching, since a high selection ratio can be obtained to gate dielectric film, it is desirable.

[0101] When using SF_6 for the gas used by the 3rd dry etching, using a chamber pressure as 1.3Pa for ICP power using 500W and bias power as 10W, Cl_2 and SF_6 are used for etching gas, Cl_2 is set to 20sccm(s) and SF_6 is set to 40sccm(s) for a quantity of gas flow, respectively. In the etching rate of W film, at this time, 129.5 nm/min and the etching rate of gate dielectric film serve as 14.0 nm/min, and the selection ratio of W film to gate dielectric film is set to 9.61. If said 3rd dry etching is performed on this condition, only about 5nm of gate dielectric film will not be etched.

[0102] Moreover, the experiment which evaluates the etching rate of W film, SiO_2 film, and the TaN film by conditions other than the above-mentioned condition was conducted using Cl_2 and SF_6 , or Cl_2 , SF_6 and O_2 . The experimental result is shown in Table 2.

[0103]

[Table 2]

・各エッチング条件におけるタングステン (W)、ゲート絶縁膜 (G I)、窒化タンタル (T a N) のエッチングレート (E. R.) および選択比

| Cl2 | SF6 | O2 | ICP | BIAS | PRESS | W E.R. | GI E.R. | TaN E.R. | 選択比 | |
|-----|-----|----|-----|------|-------|----------|----------|----------|--------|-------|
| | | | [W] | [W] | [Pa] | [nm/min] | [nm/min] | [nm/min] | W/SiON | W/TaN |
| 0 | 60 | 0 | 500 | 20 | 1.0 | 94.7 | 26.9 | | 3.78 | |
| 10 | 50 | 0 | 500 | 20 | 1.0 | 90.3 | 25.3 | | 3.43 | |
| 20 | 40 | 0 | 500 | 20 | 1.0 | 113.4 | 31.1 | | 3.87 | |
| 30 | 30 | 0 | 500 | 20 | 1.0 | 105.6 | 37.5 | | 2.98 | |
| 40 | 20 | 0 | 500 | 20 | 1.0 | 94.5 | 37.7 | | 2.67 | |
| 20 | 40 | 0 | 500 | 10 | 1.3 | 129.5 | 14.0 | 85.1 | 9.61 | 1.62 |
| 20 | 40 | 0 | 500 | 20 | 1.3 | 126.1 | 44.3 | 137.5 | 4.45 | 1.35 |
| 20 | 40 | 0 | 600 | 30 | 1.3 | 173.0 | 57.2 | | 3.19 | |
| 20 | 40 | 0 | 700 | 20 | 1.3 | 251.2 | 49.9 | 135.0 | 5.44 | 1.85 |
| 20 | 40 | 0 | 900 | 20 | 1.3 | 358.1 | 65.2 | | 5.81 | |
| 20 | 40 | 0 | 700 | 10 | 1.3 | 274.3 | 29.8 | 107.4 | 9.33 | 2.56 |
| 10 | 50 | 0 | 500 | 20 | 1.3 | 140.6 | 27.6 | 144.1 | 5.43 | 0.98 |
| 10 | 50 | 0 | 500 | 10 | 1.3 | 104.3 | 12.8 | 111.2 | 8.35 | 0.94 |
| 30 | 30 | 0 | 500 | 20 | 1.3 | 153.1 | 48.2 | 116.4 | 3.36 | 1.32 |
| 0 | 60 | 0 | 500 | 20 | 1.3 | | | 146.5 | | |
| 10 | 50 | 0 | 500 | 20 | 1.3 | | | 144.1 | | |
| 20 | 40 | 0 | 500 | 20 | 1.3 | | | 137.5 | | |
| 30 | 30 | 0 | 500 | 20 | 1.3 | | | 116.4 | | |
| 40 | 20 | 0 | 500 | 20 | 1.3 | | | 86.1 | | |
| 50 | 10 | 0 | 500 | 20 | 1.3 | | | 52.3 | | |
| 25 | 25 | 10 | 600 | 20 | 1.0 | 131.1 | 32.7 | | 4.25 | |
| 20 | 20 | 20 | 500 | 20 | 1.0 | 136.9 | 28.0 | | 5.10 | |

[0104] What is necessary is just to use the conditions of Table 2 for it, choosing them as it suitably, when using Cl2 and SF6, or Cl2, SF6 and O2 for the gas used by the 3rd dry etching.

[0105] Subsequently, a photoresist is not removed but the 4th dry etching is performed. (Drawing 3 (D)) In addition, by the 2nd dry etching, a configuration changes and photoresist 307B has 3rd configuration 307C. The etching conditions of the 4th dry etching set 500W and bias power to 20W, and set the chamber pressure to 1.0Pa for ICP power, and the gas used was set to Cl2, CF4, and O2. The quantity of gas flow set 25sccm(s) and CF4 to 25sccm(s), and set O2 to 10sccm(s) for Cl2, respectively.

[0106] By this 4th dry etching, a 70-degree still bigger cone angle is formed in the edge of the gate electrode (W film) of the 3rd configuration by setting bias power to 20W. Width of face of W film of a gate electrode is made still thinner, and gate electrode 306D of the 4th configuration is formed. The gate electrode of the 4th configuration which has gate electrode 306D with thin width of face compared

with gate electrode 305D by the 4th dry etching is formed.

[0107] Moreover, the edge of the TaN film of the gate electrode of the 4th configuration is exposed by etching W film of the gate electrode of the 3rd configuration alternatively with this 4th dry etching. From Table 1, the etching rates of the TaN film prepared in the lower layer of a gate electrode since O₂ was added to the etching gas of the 4th dry etching are 20.67 nm/min, and since it is late compared with W film which has the etching rate of 124.62 nm/min, they are hardly etched.

[0108] Therefore, of the 4th dry etching, the TaN film prepared in the lower layer of the gate electrode of the 4th configuration has the same width of face as the width of face of the gate electrode of the 3rd configuration, and gate electrode 305D of the 4th configuration which has a taper configuration is formed in the edge.

[0109] Moreover, the 4th dry etching may use the gas chosen as etching gas from fluorine system gas, such as chlorine-based gas, such as Cl₂, BCl₃, SiCl₄, and CCl₄, and CF₄, SF₆, NF₃, and O₂, or the mixed gas which makes these a principal component.

[0110] In addition, in the case of the 4th dry etching, gate-dielectric-film 304C of the 3rd configuration which does not lap with gate electrode 305C of the 3rd configuration is etched a little, and gate-dielectric-film 304D of the 4th configuration is formed.

[0111] About 57-73nm of gate dielectric film which does not lap with gate electrode 305D of the 4th configuration by the 3rd and 4th dry etching is etched, and a maximum of about 88nm of gate dielectric film is etched by the 1st - the 4th dry etching.

[0112] However, the 2nd, 3rd, and 4th etching and when SF₆ is used for etching gas especially in the 3rd etching, only a maximum of about 20nm of gate dielectric film is not etched.

[0113] By the 1st, 2nd, 3rd, and 4th dry etching, as mentioned above, the configuration in the direction of channel length where gate electrode 305D is

longer than gate electrode 306D, Namely, the 1st gate dielectric film 309 which has large width of face and has the 1st thickness in the field in which gate-dielectric-film 304D of the 4th configuration laps with said gate electrode (TaN film), The 2nd gate dielectric film 310 which has the 2nd thickness on the outside of said 1st gate electrode, The 3rd gate dielectric film 311 which changes from the 1st thickness to the 2nd thickness between said 1st field and said 2nd field, It becomes the configuration which has for convenience the 4th gate dielectric film 312 which laps with gate electrode 306D of said 4th configuration among said 1st gate dielectric film 309. The 1st gate dielectric film containing said 4th gate dielectric film was the thickest, and the gate dielectric film and the gate electrode which are characterized by the 2nd gate dielectric film being the thinnest were formed.

[0114] In addition, what is necessary is just to process the 1st and 2nd dry etching continuously by changing conditions by the same chamber in said 1st, 2nd, 3rd, and 4th dry etching by changing conditions by the same chamber also about the 3rd and 4th dry etching that what is necessary is just to process continuously.

[0115] If the 4th dry etching of the above is completed, mask 307D which deformed by the 4th dry etching and became the 4th configuration will be removed. Here, O₂ gas plasma removed mask 307D using the dry etching system of a RIE method.

[0116] Next, the n-type-semiconductor layer which uses the gate electrode of the 4th configuration for a mask, performs 2nd doping, and turns into the semiconductor layer 303 with a LDD field in self align is formed. (Drawing 3 (E)) Corresponding to four fields in said 1st [the] - the 4th gate dielectric film, a field is specified also as the semi-conductor layer 303 for convenience also here.

[0117] The semi-conductor layer which laps with the field of the 1st gate dielectric film is used as the 1st semi-conductor layer 313, use as the 3rd semi-conductor layer 314 the semi-conductor layer which laps with the field of the 3rd gate dielectric film, and let the semi-conductor layer which laps with the field of the 4th

gate dielectric film be the 4th semi-conductor layer 315. The 4th semi-conductor layer 315 serves as a channel field, and when a semiconductor device is on, it is a field where a current flows here.

[0118] However, since a source field or the drain field 308 is in agreement with the 2nd gate dielectric film, it uses as it is as 2nd semi-conductor layer 308.

[0119] At this time, it is important that an impurity is doped by the 1st semi-conductor layer 313 through gate electrode 305D and the 1st gate dielectric film 309.

[0120] Lynn is used for a dopant and the LDD field of n mold with high impurity concentration lower than the source field or the drain field 308 formed in the 1st semi-conductor layer 313 and the 3rd semi-conductor layer 314 with the 1st doping by setting doping conditions into dose 3.5×10^{12} atoms/cm², and setting acceleration voltage to 90kV is formed.

[0121] Since the 1st semi-conductor layer 313 has lapped with gate electrode 305D on both sides of gate dielectric film 309 in said LDD field, it becomes a Lov field.

[0122] The semi-conductor layer 313 to 315 and 308 become a different semi-conductor layer of high impurity concentration by 2nd doping, respectively, and it is characterized by the value [in / compared with a value / in / the value in a source field and the drain field 308 is high No. 1, and the value in the channel field 315 is low No. 1, and / the Loff field 314 / the Lov field 313] of the high impurity concentration being lower.

[0123] compared with a Loff field, the high impurity concentration of a Lov field becomes low -- the Loff field 314 and the Lov field 313 -- it is because the film located in each upper layer differs from those thickness differences. When running through the film formed on the semi-conductor layer and doping an impurity in a semi-conductor layer, if the thickness and membraneous quality on a semi-conductor layer differ from each other, the amounts of impurities which reach a semi-conductor layer differ, and the high impurity concentration of a semi-conductor layer differs.

[0124] The 3rd gate dielectric film 311 which is changing from said 1st thickness to the 2nd thickness is formed in the upper layer of the Loff field 314.

[0125] On the other hand, the 1st gate dielectric film 309 which has said 1st thickness is formed in the upper layer of the Lov field 313, and gate electrode 305D of the 4th configuration is formed on said 1st gate dielectric film.

[0126] When an impurity element is doped for this reason, compared with a Loff field, the amount of attainment of the impurity of a Lov field decreases, and the high impurity concentration of a Lov field becomes low compared with a Loff field.

[0127] With the gestalt of this above-mentioned implementation, the gate electrode was made two-layer and the gate electrode was processed free by being characterized by to form the taper configuration of 26-70 degrees in the edge of a gate electrode (W film), and etching a gate electrode (W film) alternatively to a gate electrode (TaN film). And with using said gate electrode for a mask and doping an impurity, the source field, the drain field, the Lov field, and the Loff field were able to be formed in the island-shape semi-conductor layer in self align, and the semiconductor device of n mold of GOLD structure was able to be formed.

[0128] Moreover, although the LDD field which uses a gate electrode for a mask with the gestalt of this above-mentioned implementation, and has a Loff field and a Lov field in self align was formed, in case a semiconductor device is actually produced, those channel length lay length (it is henceforth called simply LDD length, Loff length, and Lov length) influences the property of a semiconductor device. And the optimal die length of said LDD length, Loff length, and Lov length changes with purposes of using the semiconductor device. It is required that the die length of said LDD length, $L < \text{SUB} > \text{off length}$, and Lov length should be controllable for every manufacture process.

[0129] The structure in which a LDD field, a Loff field, and a Lov field are again formed here using drawing 3 is explained.

[0130] From drawing 3 (B), LDD length is in agreement with the die length of the direction component of channel length of the taper section located in the outside

of the resist of the gate electrodes 305B and 306B which has the 2nd configuration formed of the 2nd dry etching. From drawing 3 (C), Loff length is in agreement with the die length by which gate electrode 305B was etched in the direction of channel length by the 3rd dry etching. Moreover, from drawing 3 (C), Lov length is in agreement with the die length which only gate electrode 306B was alternatively etched by the 4th dry etching, and was etched in the direction of channel length.

[0131] That is, what is necessary is just to control [that what is necessary is just to control the include angle of the taper section of the gate electrode obtained by the 1st and 2nd dry etching to control LDD length] that what is necessary is just to control to control Loff length, the amount of etching, i.e., the etching time, of a gate electrode (Ta₂N film) by the 3rd dry etching, to control Lov length, the amount of etching, i.e., the etching time, of a gate electrode (W film) by the 4th dry etching.

[0132] Then, the Loff length and Lov length at the time of distributing the etching time in the 3rd and 4th dry etching were measured having used as 26 degrees the cone angle of the gate electrode obtained by the 1st and 2nd dry etching, and it collected into Table 3.

[0133]

[Table 3]

| エッチング時間とLoff長及びLov長 | | | |
|---------------------|-----|-----|-----|
| サンプル名 | A | B | C |
| 第3のエッチング時間 (sec) | 40 | 50 | 60 |
| 第4のエッチング時間 (sec) | 40 | 30 | 20 |
| Loff長 (nm) | 180 | 320 | 480 |
| Lov長 (nm) | 780 | 620 | 420 |
| LDD長 (nm) | 980 | 940 | 900 |

[0134] In addition, although the sum total of the thickness of the gate electrode which consists of the gate electrode and the 2nd electric conduction film which consist of the 1st electric conduction film here is 400nm and LDD field length is set to about 820nm, about 100 morenm becomes long in fact by etching to the direction of channel length of the resist mask by the 3rd and 4th dry etching.

[0135] It has checked that Loff length became long and Lov length became short

by increasing the 3rd etching time and decreasing the 4th etching time when evaluation of Loff length and Lov length is performed on three conditions by setting the 3rd and 4th etching time to a total of 80 sec(s). Loff length and Lov length made LDD length max, and it found out that those die length was controllable by the 3rd and 4th dry etching free.

[0136] (Example)

By [example 1] this example, it has n mold and a p type semiconductor layer by five mask number of sheets using the technique of this invention, TFT is produced, and the process which manufactures the liquid crystal display of a reflective mold is explained in detail.

[0137] In this example, the #1737 glass substrate 501 of Corning, Inc. belonging to barium borosilicate glass or alumino borosilicate glass was used. A quartz substrate, a silicon wafer, or a plastic plate with thermal resistance may be used for others.

[0138] The substrate film 502 is formed to the field which produces TFT of a substrate 501. This should just be film which has the insulation which prevents diffusion of the impurity from a substrate 501 and used silicon, such as an oxidation silicone film, a silicon nitride film, and an oxidation silicon nitride film, as the principal component. What is necessary is to choose one sort or two kinds or more from these insulator layers in plasma CVD or a spatter, to carry out a laminating if needed, and just to form membranes. The substrate film was made into two-layer structure in this example.

[0139] 10-200nm (preferably 50-100nm) formation of the oxidation silicon nitride film which boils insulator layer 502a of the 1st layer by the plasma-CVD method, and is formed more considering SiH₄, NH₃, and N₂O as reactant gas is carried out. In this example, substrate film 502a of the 1st layer was used as the oxidation silicon nitride film (presentation ratio Si= 32%, O= 27%, N= 24%, H= 17%), and 50nm formed membranes.

[0140] Next, substrate film 502b of a two-layer eye is formed. Laminating formation of the oxidation silicon nitride film 502b formed considering SiH₄ and

N₂O as reactant gas by the plasma-CVD method is carried out at the thickness of 50-200nm (preferably 100 to 150nm). In this example, oxidation silicon nitride film of 100nm of thickness 502b (presentation ratio Si= 32%, O= 59%, N= 7%, H= 2%) was formed.

[0141] Continuously, the semi-conductor layers 503-507 are formed on the substrate film 502. After the semi-conductor layers 503-507 form membranes with well-known means, such as a plasma-CVD method and a spatter, by using the well-known crystallizing method, such as laser crystallization and heat crystallization, they crystallize an amorphous layer and form an island-shape semi-conductor layer through a patterning process. A semi-conductor layer is formed by the thickness of 25-80nm (preferably 30-60nm). At this time, it is good for the ingredient of a semi-conductor to be formed with alloys, such as silicon and silicon germanium, etc.

[0142] After forming 55nm of amorphous silicone films by the plasma-CVD method, the solution containing nickel was made to hold on an amorphous silicone film in this example. It heat-treats for 1 hour at the furnace which heated this amorphous silicone film at 500 degrees C, and dehydrogenation is performed, the temperature of a furnace is gone up after that and heat crystallization is performed at 550 degrees C for 4 hours. In order to urge crystallization furthermore, laser annealing processing was performed and the crystalline substance silicone film was formed.

[0143] Moreover, in case an amorphous silicone film is formed, it is desirable to form membranes continuously, without putting to atmospheric air in another chamber via the same chamber as substrate film 502b, or the spare room by which evacuation was carried out, in order to prevent contamination by an impurity etc. to the interface of substrate film 502a of the 1st layer, substrate film 502b of a two-layer eye, and the semi-conductor layers 503-507.

[0144] The mask of the required part was carried out for this crystalline substance silicone film with photolithography, and the island-shape semi-conductor layers 503-507 were formed in dry etching. The edge of the semi-

conductor layer which consists of a crystalline substance silicon film by etching a crystalline substance silicon film into dry etching together with a photoresist by using fluorine system gas including CF₄ and O₂ for process gas serves as a taper configuration, and the coverage in membrane formation of subsequent gate dielectric film and an interlayer insulation film becomes good. this example -- an RIE system -- using -- the etching chamber pressure of 13.3Pa, and RF power 500W -- carrying out -- process gas -- O -- the crystalline substance silicon film was etched by carrying out a CF₄=50sccm inflow 2= 45 sccm, and the semi-conductor layers 503-507 which consist of a crystalline substance silicon film of 22-38 degrees of cone angles which carries out taper ***** were formed in the edge.

[0145] In the semi-conductor layers 503-507, a minute amount impurity element (15 group atoms, such as 15 group atoms, such as boron, or Lynn) may be added to a channel field for threshold control of TFT. At this example, all over the semi-conductor layers 503-507, dose 5x10¹³ atoms/cm² was performed for boron, and acceleration voltage was doped on 30kV conditions.

[0146] As gate dielectric film 508 covers the semi-conductor layers 503-507, it is formed on an insulator layer. Gate dielectric film 508 is formed by the thickness of 40-150nm using well-known approaches, such as a plasma-CVD method or a sputter. The oxide film of metals, such as an oxide film which made silicon the subject and a nitride or a tantalum, and aluminum, is used for the ingredient of gate dielectric film. At this example, it formed by the plasma-CVD method with the oxidation silicon nitride film (presentation ratio Si= 32%, O= 59%, N= 7%, H= 2%) with a thickness of 115nm. Moreover, although gate dielectric film 508 was formed in the monolayer in this example, it is good also as structure which carried out the laminating of the quality of the material chosen from the oxide film of metals, such as the insulator layer or tantalum which made silicon the subject, and aluminum, etc. more than two-layer.

[0147] Moreover, when using an oxidation silicon film, TEOS (Tetraethyl Orthosilicate) and O₂ can be mixed by the plasma-CVD method, and it can

consider as the reaction pressure of 40Pa, and the substrate temperature of 300-400 degrees C, it can be made to be able to discharge by RF (13.56MHz) power flux density 0.5 - 0.8 W/cm², and can be made to form. Thus, the oxidation silicone film produced can acquire a property good as gate dielectric film by 400-500-degree C heat annealing after that.

[0148] Next, the 1st electric conduction film 509 and the 2nd electric conduction film 510 are formed on gate dielectric film 508. It is desirable that it is the quality of the material which has low resistivity and thermal resistance on each electric conduction film, and it forms from the nitride which uses as a component the element chosen from a tungsten, a tantalum, titanium, molybdenum, silver, copper, etc., or said element, or the alloy which combined said element.

[0149] Said 1st electric conduction film 509 and the 2nd electric conduction film 510 function as a gate electrode and gate wiring according to a next process. The gate electrode which it is characterized by this invention making a gate electrode two-layer, and the gate electrode which consists of the 1st lower layer electric conduction film 509 has 20-100nm thickness, and consists of the 2nd upper electric conduction film 510 is a gate electrode which has 100-400nm thickness.

[0150] In this example, TaN was chosen as the 1st electric conduction film, and 30nm formed membranes by the spatter. As for the 2nd electric conduction film 510, it is desirable to form membranes with the same equipment as the equipment which formed the 1st electric conduction film 509, and it is desirable to form membranes continuously with the equipment which has two or more targets in one membrane formation chamber, or the equipment which has two or more membrane formation chambers. It is for making it contamination by the impurity not arise in the interface of the 1st electric conduction film and the 2nd electric conduction film by forming membranes continuously, without being put to atmospheric air with the same equipment.

[0151] The tungsten (W) was chosen as the 2nd electric conduction film 510, and 370nm formed membranes in the spatter similarly. A tungsten can also be

formed by the plasma-CVD method. However, it is desirable to carry out the resistivity of W film for using it as a gate electrode at 20 or less microohm-cm. In this example, resistivity 9 - 20microohm-cm were realizable by having considered enough and having formed membranes so that there might be no mixing of the impurity out of a gaseous phase further using the purity of 99.9999%, or 99.99% of tungsten target at the time of membrane formation.

[0152] Next, dry etching of said 1st electric conduction film and the 2nd electric conduction film is carried out using the resist mask by photolithography, and a gate electrode and gate wiring are formed. The resist masks 511-517 are formed on the 2nd electric conduction film.

[0153] In this example, the dry etching system which carries the plasma generation source of an ICP (Inductively Coupled Plasma) method was used for the dry etching of a gate electrode. Here, it explains, making drawing 3, drawing 5, and drawing 6 correspond. The gate electrode 305 after each dry etching, the gate electrode 306 and gate dielectric film 304, and a photoresist 307 are shown in a detail at drawing 3. At the 1st dry etching process, said 2nd electric conduction film 306A is etched alternatively, and gate electrode 305A [which has the 1st configuration] and gate wiring, and gate electrode 306A, and gate wiring are formed. Only a gate electrode is illustrated to drawing 3 and it does not illustrate about gate wiring here to it.

[0154] In this example, ICP power was set to 500W, 150W and an etching chamber pressure were set [dry etching conditions] to 1.0Pa for bias power, and Cl₂, CF₄, and O₂ were used for process gas. The quantity of gas flow set 25sccm(s) and CF₄ to 25sccm(s), and set O₂ to 10sccm(s) for Cl₂, respectively.

[0155] Moreover, the tungsten which is the 2nd electric conduction film is etched alternatively, and the taper configuration of about 23 degrees of cone angles is formed in the edge here. In order that the etching rate of a tungsten may go up because O₂ is contained in process gas, and the etching rate of the TaN film may decrease, a gate electrode (W film) is etched alternatively, and a result in which the small gate electrode of a cone angle is formed by setting bias power as

150W is brought.

[0156] Moreover, the 1st dry etching may use the gas chosen as etching gas from fluorine system gas, such as chlorine-based gas, such as Cl_2 , BCl_3 , SiCl_4 , and CCl_4 , and CF_4 , SF_6 , NF_3 , and O_2 , or the mixed gas which makes these a principal component.

[0157] Since gate electrode 305A remains all over the substrate only by about 13-14nm being etched by the over etching of gate electrode 306A, the gate dielectric film located in the lower layer has the configuration shown in 304A, without being etched.

[0158] The 2nd dry etching process is performed continuously. The mask by the photoresist is 1st configuration 307A by the 1st etching. This photoresist 307A is used as it is without removing. Moreover, what is necessary is to change conditions in etching and just to process in the same equipment and the same chamber.

[0159] Said gate electrode (TaN film) and a gate electrode (W film) are etched into coincidence by modification of the process gas in dry etching, and process conditions, and gate electrode 305B and gate electrode 306B which have the 2nd configuration are formed. In this example, ICP power was set to 500W, 20W and an etching chamber pressure were set to 1.0Pa for bias power, and Cl_2 and CF_4 were used for process gas. The quantity of gas flow set Cl_2 to 30sccm(s), and set CF_4 to 30sccm(s), respectively.

[0160] The cone angle of a gate electrode edge becomes large by making bias power smaller than the 1st dry etching process, and the width of face of a gate electrode becomes thin. Since it is the conditions in which O_2 furthermore is not contained in process gas, a tungsten and the TaN film are etched into coincidence, and gate electrode 305B and gate electrode 306B which have the 2nd configuration form them. At this time, about 13.8-25.8nm gate-dielectric-film 304A is etched at the time of the 2nd dry etching, and has become gate-dielectric-film 304B of the 2nd configuration.

[0161] Moreover, the 2nd dry etching may use the gas chosen as etching gas

from fluorine system gas, such as chlorine-based gas, such as Cl_2 , BCl_3 , SiCl_4 , and CCl_4 , and CF_4 , SF_6 , NF_3 , and O_2 , or the mixed gas which makes these a principal component.

[0162] The semi-conductor layer which laps with the taper section on both sides of gate dielectric film in the gate electrode of the 2nd configuration serves as a LDD field by performing 3rd next doping. In this example, the die length of a LDD field turns into die length with which the thickness of a gate electrode doubled 100nm of etching **** to the direction of channel length of 820nm and a resist mask by 400nm since the cone angle was about 26 degrees.

[0163] The resist mask is 2nd configuration 307B by the 2nd dry etching. The 2nd doping process which continues without removing this resist mask 307B is performed, and a n-type-semiconductor layer is formed. The impurity element (15 groups' element which is represented by Lynn and the arsenic) which gives the gate electrode of the 2nd configuration to a mask and gives n mold to a source field or a drain field is doped.

[0164] At this example, the impurity range of 1×10^{20} - 1×10^{21} atoms/cm³ was formed in a source field or the drain fields 208-211 in self align with doping dose 1.5×10^{15} atoms/cm² and acceleration voltage for Lynn as 80kV. (Drawing 3 (A))

[0165] In addition, drawing 3 (A) corresponds with drawing 5 (B), gate electrode 305B which has the 2nd configuration corresponds to 518-524, and gate electrode 306B supports 525-531. However, 521, 524, 528, and 531 are not gate electrodes. Moreover, a source field or the drain fields 208-211 support 532-536. However, 536 is not a source field and a drain field.

[0166] Next, the 3rd dry etching process is performed, without removing a resist mask. At the 3rd dry etching process, further, with the 2nd configuration, both gate electrode 305B of said 2nd configuration and gate electrode 306B are etched, and the taper section which existed about 26 degrees of cone angles is etched so that it may become a bigger include angle, and gate electrode 305C of the 3rd configuration and gate electrode 306C are formed.

[0167] The semi-conductor layer 314 which laps with gate electrode 305B of the

2nd configuration which does not lap with gate electrode 305C of the 3rd configuration on both sides of gate dielectric film serves as a Loff field according to the 3rd next doping process. The amount of etching to the direction of channel length of said gate electrode 305C is controlled by 3rd dry etching time amount, and the die length of a Loff field is controlled by it.

[0168] An etching system uses an ICP method dry etching system again. Etching conditions set ICP power to 500W, and set 20W and an etching chamber pressure to 1.0Pa for bias power. Gas used Cl₂ and CF₄. The quantity of gas flow set Cl₂ to 30sccm(s), and set CF₄ to 30sccm(s), respectively. The gate electrodes 305B and 306B which have the 2nd configuration are etched, and the gate electrodes 305C and 306C which have the 3rd configuration as mentioned above are formed. At this time, etching time was adjusted so that the amount of etching to the direction of channel length of gate electrode 305C which serves as Loff length substantially might be set to 480nm.

[0169] Moreover, the 3rd dry etching may use the gas chosen as etching gas from fluorine system gas, such as chlorine-based gas, such as Cl₂, BCl₃, SiCl₄, and CCl₄, and CF₄, SF₆, NF₃, and O₂, or the mixed gas which makes these a principal component.

[0170] The gate dielectric film which does not lap with said gate electrode 305C by the 3rd etching is etched, and serves as gate-dielectric-film 304C of the 3rd configuration.

[0171] The 4th dry etching process is performed continuously. The resist mask serves as 3rd configuration 307C by the 3rd etching. This resist mask 307C is used as it is without removing. What is necessary is to change etching conditions and just to process in the same equipment and the same chamber. By the 4th etching, gate electrode 306C is etched alternatively again. The way of gate electrode 305C acquires a long configuration in the direction of channel length compared with gate electrode 306C by processing on conditions into which gate electrode 305C is not etched.

[0172] Moreover, in the gate electrode of the 4th configuration acquired by the

3rd etching, the semi-conductor layer 313 which laps with the gate electrode (Ta₂N₅ film) which does not lap with a gate electrode (W film) on both sides of gate dielectric film serves as a Lov field by 3rd next doping.

[0173] A Lov field is formed by the die length which lengthened the die length of Loff determined by the 3rd dry etching from the die length of a LDD field.

[0174] In this example, ICP power was set to 500W and 20W and an etching chamber pressure were set to 1.0Pa for bias power. Gas used Cl₂, CF₄, and O₂. The quantity of gas flow set 25sccm(s) and CF₄ to 25sccm(s), and set O₂ to 10sccm(s) for Cl₂, respectively. The gate electrode (W film) of the 3rd configuration was etched alternatively, and gate electrode 306D which has the 4th configuration where width of face is thinner than gate electrode 306C of the 3rd configuration, by enlarging the cone angle of an edge further was formed.

[0175] Moreover, only about 7nm (Ta₂N₅ film) of gate electrodes is not etched, but gate electrode 305D of the 4th configuration of the almost same width of face as gate electrode 305C of the 3rd configuration is formed.

[0176] When only one side of a gate electrode estimated compared with gate electrode 306D, gate electrode 305D of the 4th configuration became a configuration long 420nm (the whole gate width 840nm), and secured the 420nm Lov field 313 in this example.

[0177] Moreover, the 4th dry etching may use the gas chosen as etching gas from fluorine system gas, such as chlorine-based gas, such as Cl₂, BCl₃, SiCl₄, and CCl₄, and CF₄, SF₆, NF₃, and O₂, or the mixed gas which makes these a principal component.

[0178] In addition, drawing 3 (D) corresponds with drawing 5 (C), gate electrode 305D which has the 4th configuration corresponds to 538-544, and gate electrode 306D supports 545-551. However, 541, 544, 548, and 551 are not gate electrodes.

[0179] Mask 307D formed of the photoresist is removed after the 4th dry etching termination. What is necessary is just to remove by well-known approaches, such as ashing by the mixed gas of O₂ ashing, H₂O ashing or O₂, and H₂O, ashing

processing which added fluorine system gas, such as nitrogen or CF_4 , in said ashing gas, or removal with a drug solution. In this example, O_2 ashing removed mask 307D using the dry etching system of a RIE method.

[0180] Next, the 3rd doping process for forming a LDD field is performed.

(Drawing 3 (E)) Gate electrode 306D of said 4th configuration is used for a mask, and a n-type-semiconductor layer with low high impurity concentration is formed in the semi-conductor layers 313 and 314 compared with said source field and a drain field. In the semi-conductor layer 313, in order to run through gate electrode 305D and gate dielectric film 309 and to inject an impurity into a Lov field semi-conductor layer, the conditions of doping are performed with low-concentration and high acceleration voltage.

[0181] At this example, the Loff field 314 and the Lov field 313 were formed by setting a dose into 3.5×10^{12} atoms/cm², and setting acceleration voltage to 90kV.

[0182] In addition, although resist mask 307D was removed after the 4th gate electrode etching in this example, it is satisfactory even if it carries out after the 3rd doping.

[0183] In addition, drawing 3 (E) corresponds with drawing 6 (A), the Loff field 314 corresponds to 557-561, and the Lov field 313 supports 562-566. However, 556, 561, and 566 do not function as a Lov field or a Loff field.

[0184] The mask 567 which newly consists of a photoresist so that the component which functions as a n-type semiconductor may be covered continuously is formed, and the semiconductor device of p mold is formed according to the 4th doping process. (Drawing 6 (B)) The p type semiconductor layers 570-575 are formed with doping the element which contributes a p type semiconductor after that.

[0185] Although the impurity which contributes n mold is added by said semiconductor devices 570-575 at this time, a problem is not produced when functioning as a p type semiconductor component with doping the concentration of the impurity which gives p mold so that it may become 2×10^{20} - 2×10^{21} atoms/cm³.

[0186] At this example, the p type semiconductor components 570-575 were formed by setting boron into dose 3×10^{15} atoms/cm², and setting acceleration voltage to 20-30kV.

[0187] After removing the photoresist mask 576, the 1st interlayer insulation film 576 is formed all over a substrate. Although 150nm of oxidation silicon nitride was formed by the plasma-CVD method at this process, what is necessary is just the insulator layer which may use other approaches, such as a spatter, of course and uses not only an oxidation silicon nitride film but silicon as a principal component. Moreover, in the insulator layer which used silicon as the principal component, a problem does not have a monolayer or two or more kinds of cascade screens.

[0188] Next, the process which carries out activation of the impurity element added by the semi-conductor layer is performed. This activation process is performed by the heat annealing method for using a furnace annealing furnace. As a heat annealing method, the oxygen density performed 1 ppm or less of activation by 550 degrees C and heat treatment of 4 hours at this example that what is necessary is just to perform 400-700 degrees C at 500-550 degrees C typically in nitrogen-gas-atmosphere mind 0.1 ppm or less preferably. In addition, the laser annealing method or the rapid thermal annealing method (RTA law) other than the heat annealing method is applicable.

[0189] In addition, although this activation process may be performed before membrane formation of said 1st interlayer insulation film 576, since it becomes the process which applies heat here, it is desirable in the case of the matter with the ingredient weak with heat used for the gate electrode etc. to form an oxidation silicone film, a silicon nitride film, an oxidation silicon nitride film, etc. which use silicon etc. as a principal component beforehand as a protective coat, or to operate the 1st interlayer film also as a protective coat like this example.

[0190] Then, heat treatment of 1 - 12 hours is performed at 300-550 degrees C among 3 - 100% of hydrogen ambient atmosphere, and the process which hydrogenates a semi-conductor layer is performed.

[0191] In this example, hydrogenation of 1 hour was performed in 350-degree-C ambient atmosphere H₂100%. In addition, this hydrogenation may be performed in a hydrogen plasma ambient atmosphere.

[0192] Next, the 2nd interlayer insulation film 578 which consists of organic resin film which makes representation the acrylic which can be formed by spin spreading on the 1st interlayer insulation film 576, polyimide, etc. is formed. Flattening of the substrate with which the semiconductor device was formed by forming the 2nd interlayer insulation film by spin spreading is also made into the purpose.

[0193] The acrylic of 1600nm of thickness was formed in this example.

[0194] Then, the contact hole for etching said gate dielectric film 537 located on said source field, a drain field, or gate wiring, the 1st interlayer insulation film 576, and the 2nd interlayer insulation film 578, and connecting with the middle wiring 579-588 is formed. In order that the etching approach of each insulator layer may be doubled with each film and may make good coverage in membrane formation of middle wiring at this time, an acrylic, the oxidation silicon nitride used for an organic compound insulator and the 1st interlayer insulation film, such as polyimide, can be etched that what is necessary is just to etch so that the taper configuration of 45-80 degrees of cone angles may be acquired, if mixed gas, such as CF₄ and O₂, is used. However, it must process on the conditions which can take a high selection ratio to a semi-conductor layer to etch the gate dielectric film currently formed on the semi-conductor layer. There are CHF₃, C₄F₈, etc. in the gas which etches alternatively the oxidation silicon nitride which is gate dielectric film to semi-conductor layer silicon. in addition, although CHF₃ and C₄F₈ can be said to be fluorine system gas, since use applications differ, the fluorine system gas which a selection ratio with silicon is high gas, and is called by this detail letter shall not be included in fluorine system gas by this detail letter

[0195] In this example, gas sets RF power to 500W using CF₄, helium, and O₂ with an RIE system, setting a chamber pressure as 66.7Pa. A quantity of gas

flow sets 5sccm(s) and helium to 40sccm(s), and sets O₂ to 95sccm(s) for CF₄, respectively. Etch the acrylic of the 2nd interlayer insulation film, and similarly as for it, gas sets RF power to 300W using CF₄, helium, and O₂ with an RIE system, setting a chamber pressure as 40.0Pa. A quantity of gas flow sets 50sccm(s) and helium to 35sccm(s), and sets O₂ to 50sccm(s) for CF₄, respectively. Etch the oxidization silicon nitride of the 1st interlayer insulation film, and similarly, with an RIE system, using CHF₃, 800W and gas carry out 7.3Pa for a chamber pressure, and, as for it, gas carries out 35sccm inflow of CHF₃ for RF power. The oxidization silicon nitride of gate dielectric film was alternatively etched to the semi-conductor layer.

[0196] Then, the middle wiring 579-588 is formed. Since it functioned also as a pixel electrode and a reflector, as for said middle wiring, it was desirable to use a metallic material with a high reflection factor, in this example, the laminating of the alloy film of Ti, and aluminum and Ti was carried out, and it formed it. Using the sputter, 50nm of Ti thickness was formed, 500nm continuation membrane formation of the alloy film of aluminum and Ti was carried out continuously, and it considered as the laminated structure.

[0197] Dry etching of said middle wiring is carried out after the mask formation by the photoresist using the gas which contains chlorine or chlorine in a component. In this example, dry etching of chlorine and the boron trichloride was carried out to etching gas using the gas mixed at same rate, and the middle wiring 579-588 was formed.

[0198] The picture element part 607 which has the drive circuit 606 which has the n channel mold TFT601, the p channel mold TFT602, and the n channel mold TFT603 as mentioned above, and a pixel TFT604 and retention volume 605 can be formed on the same substrate. In this specification, such a substrate is called a active-matrix substrate for convenience.

[0199] Next, the production approach of the reflective mold active matrix liquid crystal display which applied the active-matrix substrate shown in drawing 7 using drawing 8 is explained.

[0200] First, the spacer 589 of the shape of a column acquired by carrying out patterning of the resin film on a active matrix is formed. Moreover, what is necessary is just to determine arrangement of a spacer as arbitration. In addition, the approach of sprinkling and preparing a several micrometers particle is sufficient as a spacer.

[0201] Next, the orientation film 590 which consists of polyimide resin for carrying out orientation of the liquid crystal to the picture element part of a active-matrix substrate etc. is formed. After forming the orientation film, it was made to carry out orientation with the fixed pre tilt angle which performs rubbing processing and has a liquid crystal molecule.

[0202] Next, the opposite substrate 591 is prepared. A light-shielding film 592, a transparent electrode 593, and the orientation film 594 are formed in an opposite substrate. A light-shielding film 592 forms Ti film, Cr film, aluminum film, etc. by the thickness of 150-300nm.

[0203] Moreover, rubbing processing is performed to the orientation film 594. And a picture element part, the active-matrix substrate with which the drive circuit was formed, and an opposite substrate are stuck by the sealing compound 595.

[0204] Then, the liquid crystal ingredient 596 is poured in among both substrates. What is necessary is just to use a well-known liquid crystal ingredient for a liquid crystal ingredient. For example, the non-threshold antiferroelectricity liquid crystal mixture in which the electro-optics responsibility from which the permeability other than TN liquid crystal changes continuously to a magnetic field is shown can also be used. There are some which show the electro-optics response characteristic of a V character mold in this non-threshold antiferroelectricity liquid crystal mixture. If liquid crystal 596 is poured in, it will close completely with encapsulant.

[0205] Thus, the active matrix liquid crystal display of the reflective mold shown in drawing 8 is completed.

[0206] By [example 2] this example, in an example 1, in case a gate electrode is formed in dry etching, how to use SF₆ for etching gas and to obtain a higher

selection ratio to gate dielectric film is explained using drawing 3 . In addition, in this example, since the process after the 3rd [after gate electrode formation] doping is completely the same as an example 1 to the process which forms a gate electrode, it does not write.

[0207] Dry etching of the 1st electric conduction film 305 of a laminated structure and the 2nd electric conduction film 306 which were formed according to the example 1 is carried out using the resist mask 307 by photolithography. In addition, like the example 1, the TaN film was used for the 1st electric conduction film, and W film was used for the 2nd electric conduction film.

[0208] In this example, the dry etching system which carries the plasma generation source of an ICP (Inductively Coupled Plasma) method was used for the dry etching of a gate electrode.

[0209] In the 1st dry etching, ICP power was set to 500W, 150W and an etching chamber pressure were set to 1.0Pa for bias power, and Cl₂, CF₄, and O₂ were used for process gas. The quantity of gas flow set 25sccm(s) and CF₄ to 25sccm(s), and set O₂ to 10sccm(s) for Cl₂, respectively.

[0210] The tungsten which is the 2nd electric conduction film is etched alternatively, and the taper configuration of about 23 degrees of cone angles is formed in the edge. In order that the etching rate of a tungsten may go up because O₂ is contained in process gas, and the etching rate of the TaN film may decrease, a gate electrode (W film) is etched alternatively. Moreover, a result in which the small gate electrode of a cone angle is formed by setting bias power as 150W is brought.

[0211] Since gate electrode 305A remains all over the substrate only by about 13-14nm being etched by the over etching of a gate electrode (W film), the gate dielectric film located in the lower layer has the configuration of 304A, without being etched.

[0212] In addition, in the 1st dry etching, Cl₂, SF₆, and O₂ may be used for etching gas.

[0213] The 2nd dry etching process is performed continuously. The mask by the

photoresist is 307A of the 1st configuration by the 1st etching. This photoresist 307A is used as it is without removing. Moreover, what is necessary is to change conditions in etching and just to process in the same equipment and the same chamber.

[0214] Said gate electrode (TaN film) and a gate electrode (W film) are etched into coincidence by modification of the process gas in dry etching, and process conditions, and gate electrode 305B and gate electrode 306B which have the 2nd configuration are formed. In this example, ICP power was set to 500W, 10W and an etching chamber pressure were set to 1.3Pa for bias power, and Cl₂ and SF₆ were used for process gas. The quantity of gas flow set Cl₂ to 10sccm(s), and set SF₆ to 50sccm(s), respectively.

[0215] The cone angle of a gate electrode edge becomes large by making bias power smaller than the 1st dry etching process, and the width of face of the gate becomes thin. Moreover, the etching rates of W film at this time are 111 nm/min, and the etching rate of 104 nm/min and the TaN film is etched with the almost same speed. Gate electrode 305B and gate electrode 306B which have the 2nd configuration are formed.

[0216] At this time, the TaN film which remained by the 1st dry etching is etched in about 8 seconds. Then, in order to remove the etch residue of the TaN film completely, over etching for about 15 seconds is performed. About 3.2nm of gate dielectric film located in the lower layer of the TaN film is etched by said over etching, and it is set to gate-dielectric-film 304B of the 2nd configuration by it.

[0217] The semi-conductor layer which laps with the taper section on both sides of gate dielectric film in the gate electrode of the 2nd configuration serves as a LDD field by performing 3rd next doping. In this example, the die length of a LDD field turns into die length with which the thickness of a gate electrode doubled 100nm of etching **** to the direction of channel length of 820nm and a resist mask by 400nm since the cone angle was about 26 degrees.

[0218] The resist mask is 2nd configuration 307B by the 2nd dry etching. The 2nd doping process which continues without removing this resist mask 307B is

performed, and a n-type-semiconductor layer is formed. The impurity element (15 groups' element which is represented by Lynn and the arsenic) which gives the gate electrode of the 2nd configuration to a mask and gives n mold to a source field or a drain field is doped.

[0219] At this example, the impurity range of 1×10^{20} - 1×10^{21} atoms/cm³ was formed in a source field or the drain fields 208-211 in self align with doping dose 1.5×10^{15} atoms/cm² and acceleration voltage for Lynn as 80kV.

[0220] Next, the 3rd dry etching process is performed, without removing a resist mask. At the 3rd dry etching process, further, with the 2nd configuration, both gate electrode 305B of said 2nd configuration and gate electrode 306B are etched, and the taper section which existed about 26 degrees of cone angles is etched so that it may become a bigger include angle, and gate electrode 305C of the 3rd configuration and gate electrode 306C are formed.

[0221] The semi-conductor layer 314 which laps with gate electrode 305B of the 2nd configuration which does not lap with gate electrode 305C of the 3rd configuration on both sides of gate dielectric film serves as a Loff field according to the 3rd next doping process. The amount of etching from the 3rd dry etching time amount to the direction of channel length of said gate electrode (Ta_N film) is controlled, and the die length of a Loff field is controlled.

[0222] An etching system uses an ICP method dry etching system again. Etching conditions set ICP power to 500W, and set 10W and an etching chamber pressure to 1.3Pa for bias power. Gas used Cl₂ and SF₆. The quantity of gas flow set Cl₂ to 10sccm(s), and set SF₆ to 50sccm(s), respectively. The gate electrode (Ta_N film) and gate electrode (W film) which have the 2nd configuration are etched, and gate electrode 305C and gate electrode 306C which have the 3rd configuration as mentioned above are formed. At this time, etching time was made into 40 seconds so that the amount of etching to the direction of channel length of the gate electrode (Ta_N film) which serves as Loff length substantially might be set to 480nm.

[0223] About 5.8nm of gate dielectric film which does not lap with said gate

electrode 305C by the 3rd etching is etched, and it serves as 3rd configuration 304C. In addition, 9.0nm of gate dielectric film is etched at the process so far. [0224] Continuously, the 4th dry etching process is performed. The resist mask serves as 307C of the 3rd configuration by the 3rd etching. This resist mask 307C is used as it is without removing. What is necessary is to change etching conditions and just to process in the same equipment and the same chamber. By the 4th etching, gate electrode 306C is etched alternatively again. The way of a gate electrode (Ta₂N₅ film) acquires a long configuration in the direction of channel length compared with a gate electrode (W film) by processing on conditions into which a gate electrode (Ta₂N₅ film) is not etched.

[0225] Moreover, in the gate electrode of the 4th configuration acquired by the 4th etching, the semi-conductor layer 313 which laps with the gate electrode (Ta₂N₅ film) which does not lap with a gate electrode (W film) on both sides of gate dielectric film serves as a Lov field by 3rd next doping.

[0226] A Lov field is formed by the die length which lengthened the die length of Loff determined by the 3rd dry etching from the die length of a LDD field.

[0227] In this example, ICP power was set to 500W and 20W and an etching chamber pressure were set to 1.0Pa for bias power. Gas used Cl₂, SF₆, and O₂. The quantity of gas flow set 20sccm(s) and CF₄ to 20sccm(s), and set O₂ to 20sccm(s) for Cl₂, respectively. The gate electrode of the 3rd configuration was etched alternatively and gate electrode 306D which has the 4th configuration where width of face is thinner than gate electrode 306C of the 3rd configuration, by enlarging the cone angle of an edge further was formed.

[0228] Moreover, an about several nm gate electrode (Ta₂N₅ film) is not etched, but gate electrode 305D of the 4th configuration of the almost same width of face as gate electrode 305C of the 3rd configuration is formed.

[0229] Gate electrode 305D of the 4th configuration became a configuration long 420nm (the whole gate width 840nm) only at one side compared with gate electrode 306D, and secured the 420nm Lov field 313 in this example.

[0230] About 0.5nm of gate dielectric film is etched by the 4th dry etching.

Moreover, the amount into which gate dielectric film is etched by the 1st, 2nd, 3rd, and 4th etching is about 9.5nm. In this example, although the amount into which gate dielectric film is etched by the 1st, 2nd, 3rd, and 4th etching in the example 1 was 88nm at the maximum, since SF6 was used for etching gas, the selection ratio with gate dielectric film was able to become higher, and was able to decrease the amount of etching of gate dielectric film about 89%.

[0231] Mask 307D formed of the photoresist is removed after the 4th dry etching termination. What is necessary is just to remove by well-known approaches, such as ashing by the mixed gas of O2 ashing, H2O ashing or O2, and H2O, ashing processing which added fluorine system gas, such as nitrogen or CF4, in said ashing gas, or removal with a drug solution.

[0232] In this example, O2 ashing removed mask 307D using the dry etching system of a RIE method.

[0233] The configuration of the same gate electrode as an example 1 could be formed by using the above approach, and the amount of etching to the gate dielectric film at that time was able to be held down to 9.5nm.

[0234] In addition, although SF6 was used for etching gas in the 2nd, 3rd, and 4th dry etching in this example, dry etching may be suitably performed on the conditions using CF4 like an example 1. For example, it etches into the 1st, 2nd, and 4th dry etching on the conditions which used CF4, and you may make it etch on the conditions for which only the 3rd dry etching used SF6.

[0235] Although the gate electrode structure which used tantalum nitride as the lower layer and made the tungsten the upper layer here was explained to the example, it is not limited to this gate structure, but the nitride which uses as a component the element chosen from a tungsten, a tantalum, titanium, molybdenum, silver, copper, etc. or said element, or the alloy which combined said element is chosen suitably, and should just carry out a laminating.

[0236] [Example 3] this example explains how to make almost equivalent high impurity concentration of a Loff field and a Lov field using drawing 9 by changing the timing which processes conditions by the approach of being different in an

example 1 in etching of a gate electrode, and dopes by the approach of forming the semi-conductor layer of n mold which has a Lov field and a Loff field according to an example 1.

[0237] The island-shape semi-conductor layer 903 which has an insulator layer 902 and the crystal structure, gate dielectric film 904, the 1st electric conduction film 905, and the 2nd electric conduction film 906 are formed on a glass substrate 901 like an example 1, and the mask 907 which consists of a photoresist is formed.

[0238] In addition, like the example 1, the TaN film was used for the lower layer gate electrode material, and W film was used for the upper gate electrode material. Moreover, the dry etching system which carries the plasma generation source of an ICP method, or the dry etching system of a RIE method was used for the dry etching of a gate electrode.

[0239] The 1st dry etching is performed like an example 1. Using Cl₂, CF₄, and O₂, ICP power is set to 500W, as for gas, it sets 150W and an etching chamber pressure to 1.0Pa for bias power, and a quantity of gas flow etches 25sccm(s) and CF₄ by 25sccm(s), and etches O₂ for Cl₂ by 10sccm(s), respectively.

[0240] At this time, a gate electrode (W film) is etched alternatively and gate electrode 906A of the 1st configuration in which the taper configuration of 26 degrees of cone angles was formed is formed in an edge. Although about 13-14nm (TaN film) of gate electrodes is etched by the over etching of a gate electrode (W film), they remain all over the substrate, and gate electrode 905A of the 1st configuration is formed.

[0241] Moreover, the 1st dry etching may use the gas chosen as etching gas from fluorine system gas, such as chlorine-based gas, such as Cl₂, BCl₃, SiCl₄, and CCl₄, and CF₄, SF₆, NF₃, and O₂, or the mixed gas which makes these a principal component.

[0242] At this time, gate dielectric film is [0243] in which it is not etched into since 1st electric conduction film 905A remains all over the substrate, but gate-dielectric-film 904A of the 1st configuration is formed. Continuously, the 2nd dry

etching is performed, without removing a resist mask like an example 1. It set 20W and an etching chamber pressure to 1.0Pa for bias power using Cl₂ and CF₄, having set ICP power as 500W, and Cl₂ was set to 30sccm(s) and gas set CF₄ to 30sccm(s) for the quantity of gas flow, respectively. Gate electrode 905A of the 1st configuration and gate electrode 906B are etched into coincidence, and gate electrode 905B of the 2nd configuration and gate electrode 906B are formed. [0244] At this time, gate-dielectric-film 904A located in the outside of gate electrode 905B is also etched, and gate-dielectric-film 904B of the 2nd configuration is formed.

[0245] Moreover, the 2nd dry etching may use the gas chosen as etching gas from fluorine system gas, such as chlorine-based gas, such as Cl₂, BCl₃, SiCl₄, and CCl₄, and CF₄, SF₆, NF₃, and O₂, or the mixed gas which makes these a principal component.

[0246] Next, 2nd doping is performed like an example 1. In addition, 1st doping is considered as doping performed to the channel field in order to control the threshold property of TFT after formation of the semi-conductor layer which consists of a crystalline substance silicone film.

[0247] A source field or a drain field is formed in the semi-conductor layer 908 with doping the impurity which gives n mold. In this example, Lynn was chosen as the impurity and it doped with dose 1.5×10^{15} atoms/cm² and the acceleration voltage of 80kV.

[0248] Next, the 3rd dry etching is performed. It carries out without removing a resist mask also here using an ICP method dry etching system. As for gas, it set 20W and an etching chamber pressure to 1.0Pa for bias power using Cl₂, CF₄, and O₂, having set ICP power as 500W, and the quantity of gas flow set Cl₂ to 25sccm(s), and set 25sccm(s) and O₂ to 10sccm(s) for CF₄, respectively.

[0249] Gate electrode 906C of the 3rd configuration which has a bigger include angle than the taper configuration which the gate electrode (W film) was alternatively etched by processing on the conditions used by the 4th dry etching in the example 1, and was acquired in the 1st and 2nd configurations is formed.

[0250] Although most gate electrodes (TaN film) remain without being etched, the gate electrode (TaN film) exposed as a gate electrode (W film) is etched in the direction of channel length is gradually etched from an edge, and 3rd configuration 905C which has a less than 5-degree very small cone angle is formed.

[0251] Moreover, the 3rd dry etching may use the gas chosen as etching gas from fluorine system gas, such as chlorine-based gas, such as Cl_2 , BCl_3 , SiCl_4 , and CCl_4 , and CF_4 , SF_6 , NF_3 , and O_2 , or the mixed gas which makes these a principal component.

[0252] At this time, gate-dielectric-film 904B of the 2nd configuration located in the outside of the gate electrode (TaN film) of the 2nd configuration is etched, and gate-dielectric-film 904C of the 3rd configuration is formed.

[0253] Next, 3rd doping is performed. The impurity which gives n mold so that it may run through gate electrode 905C in the semi-conductor layer 909 which uses gate electrode 906C of the 3rd configuration for a mask, and does not lap with a gate electrode (W film), but laps with a gate electrode (TaN film) is doped.

[0254] The edge of gate electrode 905C of the 3rd configuration has the less than 5-degree very small cone angle, and the thickness has distribution.

Although slight distribution arises also in the high impurity concentration of the semi-conductor layer in the 3rd doping according to said thickness distribution, it becomes smaller than the high-impurity-concentration difference of the Loff field produced at the time of said example 1, and a Lov field.

[0255] At this example, Lynn is chosen as an impurity and the LDD field 909 of n mold with high impurity concentration lower than a source field and the drain field 908 is formed in the semi-conductor layer 909 by setting dose 3.5×10^{12} atoms/cm² and acceleration voltage to 90kV.

[0256] Next, the 4th dry etching is performed. Gate electrode 905C of the 3rd configuration is etched, and gate electrode 905D of the 4th configuration is formed.

[0257] The edge of gate electrode 905C of the 3rd configuration has the taper

configuration, it is gradually etched toward the location which laps with gate electrode 906C of the 3rd configuration from the edge of the gate electrode (TaN film) of the 3rd configuration by carrying out dry etching to an anisotropy, and the width of face of gate electrode 905D of the 4th configuration serves as a thin configuration from gate electrode 905C of the 3rd configuration.

[0258] A part of LDD field 909 which had lapped with gate electrode 905C of the 3rd configuration comes to be located in the outside of the gate electrode of the 4th configuration by the 4th dry etching. Therefore, said LDD field 909 turns into the Loff field 910 and the Lov field 911.

[0259] However, if an etching rate processes a gate electrode (TaN film) on quick etching conditions for the thin film (TaN film) which has a very small cone angle, all gate electrodes (TaN film) may be etched.

[0260] In this example, the dry etching system of an parallel monotonous mold RIE method was used for the 4th dry etching, RF power was set to 800W, having set the chamber pressure as 6.7Pa, and gas carried out 35sccm inflow and etched CHF3. In addition, especially although the dry etching system of a RIE method was used here, it is not limited, but the dry etching system of an ICP method may be used.

[0261] Although most gate-dielectric-film 904C of a field which does not lap with gate electrode 905C of the 3rd configuration by the 4th dry etching at this time is etched, it is satisfactory when manufacturing a semiconductor device, even if all gate dielectric film is etched. Since the reason uses CHF3 for etching gas, be alternatively etched gate dielectric film to the silicon which is a semi-conductor layer. Moreover, in case the oxidation silicon nitride which is the 1st interlayer insulation film in an example 1 also in case the contact hole for connecting a semi-conductor layer with middle wiring is formed is etched, it is because what is necessary is just to carry out on the conditions which can etch into the silicon and the selection target of semi-conductor layers, such as CHF3.

[0262] Moreover, by etching by above CHF(s)3, when the amounts of etching of the TaN film run short, after using Cl2 and CF4, or Cl2, CF4 and O2 for etching

gas, etching about 5 to 20 seconds and etching the TaN film beforehand, you may etch using CHF₃.

[0263] A photoresist 907 is removed after the 4th dry etching.

[0264] The semiconductor device which has a Loff field and a Lov field by five mask number of sheets as well as an example 1 can be produced, and the high impurity concentration of a Loff field and a Lov field can produce an equivalent semiconductor device because it is adapted for said example 1 in this example.

[0265] Although the gate electrode structure which used tantalum nitride as the lower layer and made the tungsten the upper layer here was explained to the example, it is not limited to this gate structure, but the nitride which uses as a component the element chosen from a tungsten, a tantalum, titanium, molybdenum, silver, copper, etc. or said element, or the alloy which combined said element is chosen suitably, and should just carry out a laminating.

[0266] By [example 4] this example, in case a gate electrode is formed in dry etching in an example 3, how to use SF₆ for etching gas and to obtain a higher selection ratio to gate dielectric film is explained using drawing 9. In addition, since it is completely together with an example 3 or an example 1 except the process which forms a gate electrode in this example, it does not write.

[0267] Like an example 3, on a glass substrate 901, the island-shape semiconductor layer 903 which has an insulator layer 902 and the crystal structure, gate dielectric film 904, the 1st electric conduction film 905, and the 2nd electric conduction film 906 are formed, and the mask 907 which consists of a photoresist is formed.

[0268] In addition, W film was used for the gate electrode in which the TaN film is prepared by the gate electrode prepared in a lower layer like an example 3 at the upper layer. Moreover, the dry etching system of an ICP method was used for the dry etching of a gate electrode like the example 3.

[0269] The 1st dry etching is performed. Using Cl₂, CF₄, and O₂, ICP power is set to 500W, as for gas, it sets 150W and an etching chamber pressure to 1.0Pa for bias power, and a quantity of gas flow etches 25sccm(s) and CF₄ by

25sccm(s), and etches O₂ for Cl₂ by 10sccm(s), respectively.

[0270] At this time, a gate electrode (W film) is etched alternatively and gate electrode 906A of the 1st configuration in which the taper configuration of 26 degrees of cone angles was formed is formed in an edge. Although about 13-14nm (TaN film) of 1st electric conduction film is etched by the over etching of a gate electrode (W film), it remains all over the substrate, and 1st electric conduction film (TaN film) 905A is formed.

[0271] At this time, gate dielectric film is [0272] in which it is not etched into since 1st electric conduction film (TaN film) 905A remains all over the substrate, but gate-dielectric-film 904A of the 1st configuration is formed. In addition, in the 1st dry etching, Cl₂, SF₆, and O₂ may be used for etching gas.

[0273] Continuously, the 2nd dry etching is performed, without removing a resist mask. It set 10W and an etching chamber pressure to 1.3Pa for bias power using Cl₂ and SF₆, having set ICP power as 500W, and Cl₂ was set to 10sccm(s) and gas set SF₆ to 50sccm(s) for the quantity of gas flow, respectively. 1st electric conduction film 905A and gate electrode 906B of the 1st configuration are etched into coincidence, and gate electrode 905B of the 2nd configuration and gate electrode 906B are formed.

[0274] At this time, 1st electric conduction film 905A located in the outside of the gate electrode (W film) of the 1st configuration is etched in about 8 seconds. Then, in order to remove the etch residue of the TaN film completely, over etching for about 15 seconds is performed. About 3.2nm gate-dielectric-film 904A located in the lower layer of said gate electrode 905A is etched by said over etching, and gate-dielectric-film 904B of the 2nd configuration is formed of it.

[0275] Next, 2nd doping is performed. In addition, 1st doping is considered as doping performed to the channel field in order to control the threshold property of TFT after formation of a semi-conductor layer.

[0276] A source field or a drain field is formed in the semi-conductor layer 908 with doping the impurity which gives n mold. In this example, Lynn was chosen as the impurity and it doped with dose 1.5×10^{15} atoms/cm² and the acceleration

voltage of 80kV.

[0277] Next, the 3rd dry etching is performed. It carries out without removing a resist mask also here using an ICP method dry etching system. As for gas, it set 10W and an etching chamber pressure to 1.3Pa for bias power using Cl₂, SF₆, and O₂, having set ICP power as 500W, and the quantity of gas flow set Cl₂ to 20sccm(s), and set 20sccm(s) and O₂ to 20sccm(s) for SF₆, respectively.

[0278] Gate electrode 906C of the 3rd configuration which has a bigger include angle than the taper configuration from which the gate electrode (W film) was alternatively etched, and was obtained in the 1st and 2nd configurations by processing with bias power smaller than the 1st dry etching is formed.

[0279] Although most gate electrodes (TaN film) remain without being etched, the gate electrode (TaN film) exposed as a gate electrode (W film) is etched in the direction of channel length is gradually etched from an edge, and 3rd configuration 905C which has a less than 5-degree very small cone angle is formed.

[0280] At this time, about 37.3nm gate-dielectric-film 904B of the 2nd configuration located in the outside of the gate electrode (TaN film) of the 2nd configuration is etched, and gate-dielectric-film 904C of the 3rd configuration is formed. 40.5nm of gate dielectric film is etched by the etching so far.

[0281] In the example 3, although about 64.4nm of gate dielectric film was etched by the 1st, 2nd, and 3rd dry etching, the amount of etching of gate dielectric film was able to be decreased about 42% by using SF₆ for etching gas like this example.

[0282] Next, 3rd doping is performed. The impurity which gives n mold so that it may run through gate electrode 905C in the semi-conductor layer 909 which uses gate electrode 906C of the 3rd configuration for a mask, and does not lap with a gate electrode (W film), but laps with a gate electrode (TaN film) is doped.

[0283] The edge of gate electrode 905C of the 3rd configuration has the less than 5-degree very small cone angle, and the thickness has distribution.

Although slight distribution arises also in the high impurity concentration of the

semi-conductor layer in the 3rd doping according to said thickness distribution, it becomes smaller than the high-impurity-concentration difference of the Loff field produced at the time of said example 1, and a Lov field.

[0284] At this example, Lynn is chosen as an impurity and the LDD field 909 of n mold with high impurity concentration lower than a source field and the drain field 908 is formed in the semi-conductor layer 909 by setting dose 3.5×10^{12} atoms/cm² and acceleration voltage to 90kV.

[0285] Next, the 4th dry etching is performed. Gate electrode 905C of the 3rd configuration is etched, and gate electrode 905D of the 4th configuration is formed.

[0286] In the edge of gate electrode 905C of the 3rd configuration, it has the taper configuration, and is gradually etched toward the location which laps with gate electrode 906C of the 3rd configuration from the edge of the gate electrode (Ta_N film) of the 3rd configuration by performing dry etching of an anisotropy, and the width of face of gate electrode 905D of the 4th configuration serves as a thin configuration from gate electrode 905C of the 3rd configuration.

[0287] A part of LDD field 909 which had lapped with gate electrode 905C of the 3rd configuration comes to be located in the outside of the gate electrode (Ta_N film) of the 4th configuration by the 4th dry etching. Therefore, said LDD field 909 turns into the Loff field 910 and the Lov field 911.

[0288] However, if an etching rate processes gate electrode 905C on quick etching conditions for the thin film (Ta_N film) which has a very small cone angle, all gate electrode 905C may be etched.

[0289] In this example, the dry etching system of an parallel monotonous mold RIE method was used for the 4th dry etching, RF power was set to 800W, having set the chamber pressure as 6.7Pa, and gas carried out 35sccm inflow and etched CHF₃.

[0290] Although most gate-dielectric-film 904C of a field which does not lap with gate electrode 905C of the 3rd configuration by the 4th dry etching is etched at this time, it is satisfactory when manufacturing a semiconductor device, even if all

gate dielectric film is etched. The reason is that it can etch gate dielectric film alternatively to a semi-conductor layer (silicon) since CHF₃ is used for etching gas. Moreover, in case the oxidation silicon nitride which is the 1st interlayer insulation film in an example 1 also in case the contact hole for connecting a semi-conductor layer with middle wiring is formed is etched, it is because what is necessary is just to carry out on a semi-conductor layer (silicon) and the conditions which can etch alternatively using CHF₃ etc.

[0291] Moreover, by etching by above CHF(s)₃, when the amounts of etching of the TaN film run short, after etching about 5 to 20 seconds using Cl₂ and CF₄, or Cl₂, CF₄ and O₂ and etching the TaN film beforehand, you may etch using CHF₃.

[0292] Moreover, SF₆ may be used and etched instead of CF₄.

[0293] A photoresist 907 is removed after the 4th dry etching.

[0294] By using the above approach, the configuration of the same gate electrode as an example 3 could be formed, and the amount of etching of the gate dielectric film at the time of the 3rd dry etching termination was able to be held down to 40.5nm.

[0295] Although the gate electrode structure which used tantalum nitride as the lower layer and made the tungsten the upper layer here was explained to the example, it is not limited to this gate structure, but the nitride which uses as a component the element chosen from a tungsten, a tantalum, titanium, molybdenum, silver, copper, etc. or said element, or the alloy which combined said element is chosen suitably, and should just carry out a laminating.

[0296] TFT formed by carrying out [example 5] above-mentioned each example 1 or an example 2 can be used for various electro-optic devices (an active matrix liquid crystal display, a active-matrix mold EL display, active-matrix mold EC display). That is, this invention can be carried out on all the electronic equipment that built these electro-optic devices into the display.

[0297] As such electronic equipment, a video camera, a digital camera, a projector, a head mount display (goggles mold display), car navigation, a car

stereo, a personal computer, Personal Digital Assistants (a mobile computer, a cellular phone, or digital book), etc. are mentioned. Those examples are shown in drawing 10 , drawing 11 , and drawing 12 .

[0298] Drawing 10 (A) is a personal computer and contains a body 2001, the image input section 2002, a display 2003, and keyboard 2004 grade. This invention is applicable to a display 2003.

[0299] Drawing 10 (B) is a video camera and contains a body 2101, a display 2102, the voice input section 2103, the actuation switch 2104, a dc-battery 2105, and television section 2106 grade. This invention is applicable to a display 2102.

[0300] Drawing 10 (C) is a mobile computer (Mobile computer), and contains a body 2201, the camera section 2202, the television section 2203, the actuation switch 2204, and display 2205 grade. This invention is applicable to a display 2205.

[0301] Drawing 10 (D) is a goggles mold display, and contains a body 2301, a display 2302, and arm section 2303 grade. This invention is applicable to a display 2302.

[0302] Drawing 10 (E) is a player using the record medium (it is hereafter called a record medium) which recorded the program, and contains a body 2401, a display 2402, the loudspeaker section 2403, a record medium 2404, and actuation switch 2405 grade. In addition, this player can use music appreciation, movie appreciation, a game, and the Internet, using DVD (Digital Versatile Disc), CD, etc. as a record medium. This invention is applicable to a display 2402.

[0303] Drawing 10 (F) is a digital camera and contains a body 2501, a display 2502, an eye contacting part 2503, the actuation switch 2504, the television section (not shown), etc. This invention is applicable to a display 2502.

[0304] Drawing 11 (A) is a front mold projector, and contains a projection device 2601 and screen 2602 grade. This invention is applicable to the drive circuit of a liquid crystal display 2808 or others which constitutes some projection devices 2601.

[0305] Drawing 11 (B) is a rear mold projector, and contains a body 2701, a

projection device 2702, a mirror 2703, and screen 2704 grade. This invention is applicable to the drive circuit of a liquid crystal display 2808 or others which constitutes some projection devices 2702.

[0306] In addition, drawing 11 (C) is drawing having shown an example of the structure of the projection devices 2601 and 2702 in drawing 11 (A) and drawing 11 (B). Projection devices 2601 and 2702 consist of the light source optical system 2801, mirrors 2802, 2804-2806, a dichroic mirror 2803, prism 2807, a liquid crystal display 2808, a phase contrast plate 2809, and an incident light study system 2810. The incident light study system 2810 consists of optical system containing a projector lens. Although this example showed the example of a 3 plate type, it may not be limited especially, for example, may be a veneer type. Moreover, an operation person may prepare suitably the optical system of an optical lens, the film which has a polarization function, the film for adjusting phase contrast, IR film, etc., etc. in the optical path shown by the arrow head in drawing 11 (C).

[0307] Moreover, drawing 11 (D) is drawing having shown an example of the structure of the light source optical system 2801 in drawing 11 (C). The light source optical system 2801 is constituted from this example by a reflector 2811, the light source 2812, the lens arrays 2813 and 2814, the polarization sensing element 2815, and the condenser lens 2816. In addition, the light source optical system shown in drawing 11 (D) is especially an example, and is not limited. For example, an operation person may prepare suitably the optical system of an optical lens, the film which has a polarization function, the film which adjusts phase contrast, IR film, etc. in light source optical system.

[0308] However, in the projector shown in drawing 11, the case where the electro-optic device of a transparency mold is used is shown, and the example of application in the electro-optic device and EL display of a reflective mold is not illustrated.

[0309] Drawing 12 (A) is a cellular phone and contains a body 2901, the voice output section 2902, the voice input section 2903, a display 2904, the actuation

switch 2905, and antenna 2906 grade. This invention is applicable to a display 2904.

[0310] Drawing 12 (B) is pocket books (digital book), and contains a body 3001, displays 3002 and 3003, a storage 3004, the actuation switch 3005, and antenna 3006 grade. This invention is applicable to displays 3002 and 3003.

[0311] Drawing 12 (C) is a display and contains a body 3101, susceptor 3102, and display 3103 grade. This invention is applicable to a display 3103. Especially this invention can be applied also to the display of 10 inches or more (especially 30 inches or more) of vertical angles, when it big-screen-izes.

[0312] As mentioned above, the applicability of this invention is very wide, and applying to the electronic equipment of all fields is possible. Moreover, even if the electronic equipment of this example uses the configuration which consists of combination like an example 1 or example 2 throat, it is realizable.

[0313]

[Effect of the Invention] TFT which has GOLD structure can be produced in self align by using this invention, and mask number of sheets and the number of production processes can be reduced. The property of the semiconductor device equipped with this TFT improves, and becomes improvable [compaction of the time amount which reduction of a manufacturing cost and manufacture take, and the yield].

[0314] Moreover, the n channel mold TFT and the p channel mold TFT of GOLD structure can be manufactured by five mask number of sheets with this invention.

[Translation done.]

* NOTICES *

**JPO and NCIP are not responsible for any
damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the etching property of W film and the TaN film.

[Drawing 2] It is the photograph Fig. which observed the gate electrode before and behind etching.

[Drawing 3] It is drawing showing the etching process and doping process of a gate electrode.

[Drawing 4] It is the graph which shows the die length of the LDD field by etching conditions.

[Drawing 5] It is drawing showing the making process of AM-LCD.

[Drawing 6] It is drawing showing the making process of AM-LCD.

[Drawing 7] It is drawing showing the making process of AM-LCD.

[Drawing 8] It is cross-section structural drawing of a reflective mold liquid crystal display.

[Drawing 9] It is drawing showing the etching process and doping process of a gate electrode.

[Drawing 10] Drawing showing an example of electronic equipment.

[Drawing 11] Drawing showing an example of electronic equipment.

[Drawing 12] Drawing showing an example of electronic equipment.

[Translation done.]

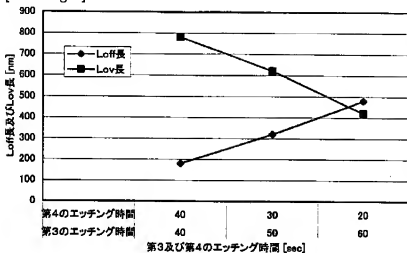
* NOTICES *

**JPO and NCIP! are not responsible for any
damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

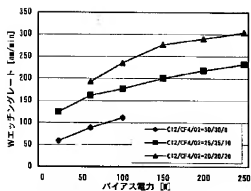
DRAWINGS

[Drawing 4]

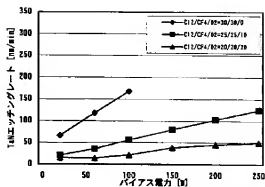


エッチング時間の変化によるLoff長及びLov長の変化

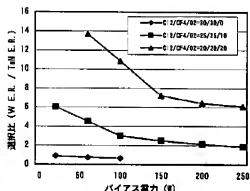
[Drawing 1]



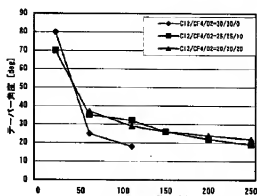
(A) Wエッチングレートのバイアス電力依存性



(B) TaNエッチングレートバイアス電力依存性



(C) WとTaNの選択比 バイアス電力、ガス流量依存性

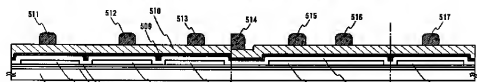


(D) Wエッチングレートのバイアス電力依存性

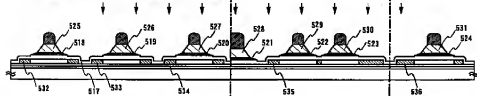
W, TaN条件依存性データ エッチングレート、選択比、テーパ角度

[Drawing 5]

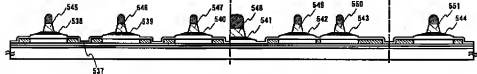
(A) 半導体層の形成/絶縁膜の形成/第1の導電膜と第2の導電膜の形成/ゲート電極マスクの形成



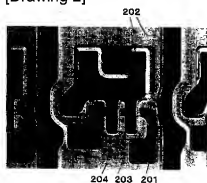
(B) 第1及び第2のエッチング処理/第2のドーピング処理



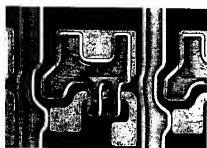
(C) 第3及び第4のエッチング処理



[Drawing 2]



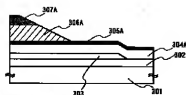
(A)
(条件7): ICP電力500W、バイアス電力150W、チャンバー圧力1.0Pa、
 $Cl_2=25sccm$, $CF_4=25sccm$, $O_2=10sccm$



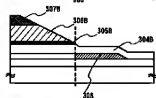
(B)
条件7によるエッチング処理後に行う。
(条件1): ICP電力500W、バイアス電力20W、チャンバー圧力1.0Pa、
 $Cl_2=30sccm$, $CF_4=30sccm$

[Drawing 3]

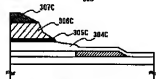
(A) 第1のドライエッチング



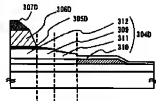
(a) 第2のドライエッチング
ドーピング



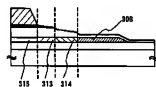
(C) 第3のドライエッチング



(D) 第4のドライエッチング

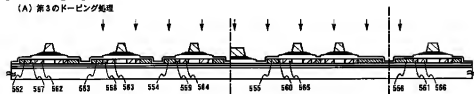


(E) レジスト剥離
ドーピング

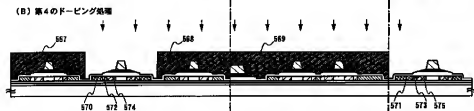


[Drawing 6]

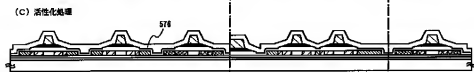
(A) 第3のドーピング処理



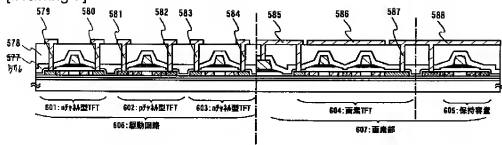
(B) 第4のドーピング処理



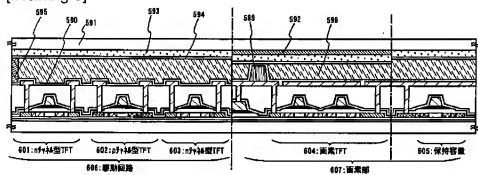
(C) 活性化処理



[Drawing 7]

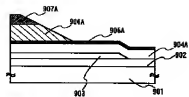


[Drawing 8]

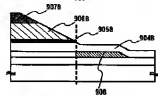


[Drawing 9]

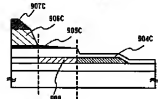
(A) 第1のドライエッチング



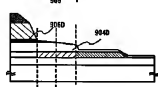
(B) 第2のドライエッチング
ドーピング



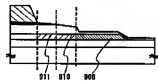
(C) 第3のドライエッチング
ドーピング



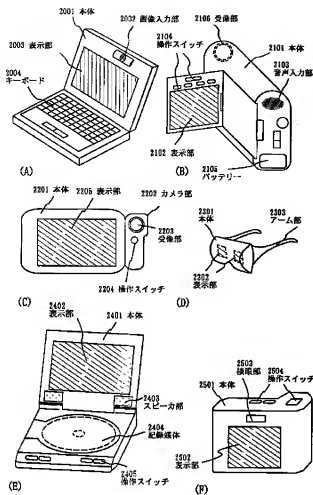
(D) 第4のドライエッチング



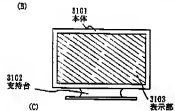
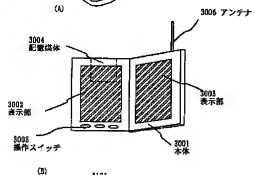
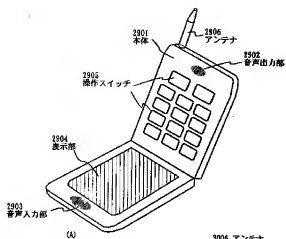
(E) レジスト剥離



[Drawing 10]



[Drawing 11]



[Translation done.]